

Paul Herrmann

Mainframe System z Computing

Weitere empfehlenswerte Titel



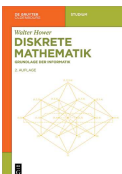
Elektronik für Informatiker.
Von den Grundlagen bis zur Mikrocontroller-Applikation
Manfred Rost, Sandro Wefel, 2021
ISBN 978-3-11-060882-3, e-ISBN (PDF) 978-3-11-060906-6



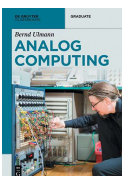
Rechnerarchitektur.
Einführung in den Aufbau moderner Computer
Roland Hellmann, 2021
ISBN 978-3-11-074169-8, e-ISBN (PDF) 978-3-11-074179-7



Eingebettete Systeme.
Entwurf, Synthese und Edge AI
Oliver Bringmann, Walter Lange, Martin Bogdan, 2022
ISBN 978-3-11-070205-7, e-ISBN (PDF) 978-3-11-070206-4



Diskrete Mathematik.
Grundlage der Informatik
Walter Hower, 2021
ISBN 978-3-11-069554-0, e-ISBN (PDF) 978-3-11-069555-7



Analog Computing
Bernd Ulmann, 2022
ISBN 978-3-11-078761-0, e-ISBN (PDF) 978-3-11-078774-0

Paul Herrmann

Mainframe System z Computing



Hardware, Software und Anwendungen

2. Auflage

DE GRUYTER
OLDENBOURG

Autor

Dr. rer. nat. Paul Herrmann
Universität Leipzig
Institut für Mathematik und Informatik
Augustusplatz 10
04109 Leipzig
Deutschland
paul@informatik.uni-leipzig.de

Der Verlag hat für die Wiedergabe aller in diesem Buch enthaltenen Informationen mit den Autoren große Mühe darauf verwandt, diese Angaben genau entsprechend dem Wissensstand bei Fertigstellung des Werkes abzudrucken. Trotz sorgfältiger Manuskripterstellung und Korrektur des Satzes können Fehler nicht ganz ausgeschlossen werden. Autoren und Verlag übernehmen infolgedessen keine Verantwortung und keine daraus folgende oder sonstige Haftung, die auf irgendeine Art aus der Benutzung der in dem Werk enthaltenen Informationen oder Teilen davon entsteht.

Die Wiedergabe der Gebrauchsnamen, Handelsnamen, Warenbezeichnungen und dergleichen in diesem Buch berechtigt nicht zu der Annahme, dass solche Namen ohne weiteres von jedermann benutzt werden dürfen. Vielmehr handelt es sich häufig um gesetzlich geschützte, eingetragene Warenzeichen, auch wenn sie nicht eigens als solche gekennzeichnet sind.

ISBN 978-3-11-101522-4
e-ISBN (PDF) 978-3-11-101552-1
e-ISBN (EPUB) 978-3-11-101596-5

Library of Congress Control Number: 2023932789

Bibliografische Information der Deutschen Nationalbibliothek

Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliographie; detaillierte bibliografische Daten sind im Internet über <http://dnb.dnb.de> abrufbar.

© 2023 Walter de Gruyter GmbH, Berlin/Boston
Einbandabbildung: imaginima/E+/Getty Images
Satz: Integra Software Services Pvt. Ltd.
Druck und Bindung: CPI books GmbH, Leck

www.degruyter.com

Vorwort

Es ist nicht genug zu wissen,
man muss auch anwenden;
es ist nicht genug zu wollen,
man muss auch tun.

J.W. von Goethe:
Wilhelm Meisters Wanderjahre

In der Informatik sind einige Fachleute der Meinung, dass das Mainframe Computing seine bedeutende Zeit überschritten hat. In den letzten 10 Jahren ist die Mainframe-Ausbildung weiter eingeschränkt worden, d. h. Vorlesungen für interessierte Studenten an deutschen Universitäten und Fachhochschulen existieren teilweise nur noch online im e-Learning. Das betrifft auch die dazu gehörigen praktischen Übungen.

Diese Entwicklung widerspricht insgesamt dem Bedarf von Grossrechner-Fachpersonal in mittleren und grossen Unternehmen. In diesem Bereich ist das Problem dadurch gewachsen, dass Mitarbeiter in den Ruhestand gewechselt sind und nicht mehr zur Verfügung stehen.

In dem Buch „Einführung in z/OS und OS/390“ wurde bereits zu diesem Thema Stellung bezogen. Der Ist-Zustand von Mainframe-Fachpersonal auf dem IT-Arbeitsmarkt ist weiter geschrumpft. Die Universität Leipzig zusammen mit dem Institut für Informatik der Universität Tübingen hat in der Vergangenheit versucht, diesen Prozess aufzuhalten. Es wurden Vorlesungen in Leipzig, Tübingen, Frankfurt (Frankfurt School of Finance & Management) zum Thema „Mainframe Server“ gehalten in der Hoffnung, Studenten und Interessenten in das Mainframe Computing einzuführen. Die Universität Leipzig verfügt seit Juni 2020 über einen IBM zEC12 Server, auf dem im e-learning-Lehrbetrieb die interessierten Studenten praktische Erfahrungen erhalten können.

Das vorliegende Lehrbuch „Mainframe System z Computing“ enthält wesentliche Änderungen gegenüber der 1. Auflage des Buches. Dazu zählen vordergründig Kapitel zur Hardware aktueller IBM System z-Server (z12, z15, z16). Es gibt insbesondere praktische Erkenntnisse und Erfahrungen zu den Themen DB2, IMS, CICS, WebSphere MQ, SMF und z/OS Connect EE sowie IBM Cloud. Das betrifft z. T. Nutzer mit normalen und auch solche mit Administrator- Rechten.

Im Anhang befindet sich ein umfangreiches Verzeichnis der im z/OS-Bereich verwendeten Abkürzungen. Zusätzlich wird Interessenten ein Dienst angeboten, mit dem ohne zusätzlichem administrativen Aufwand einfache Übungsaufgaben auf dem zEC12-Server bearbeitet werden können.

Danksagung

Mein Dank gilt vorrangig dem gesamten Management des IBM-Entwicklungslabors in Böblingen, den Herren E. Fichter, G. Fehrenbach und D. Wittkopp. Ihnen ist es zu verdanken, dass der z12-Server schnell und zuverlässig der Universität Leipzig zur Verfügung gestellt und professionell im August 2020 in Betrieb genommen werden konnte. Herrn J. Rauch, Herrn S. Wind und Herrn M. Henkel danken wir für ihr Engagement bei der Installation des z12-Rechners in Leipzig und die Unterstützung besonders in der Anfangsphase des Serverbetriebs. Viele weitere Mitarbeiter der Firma IBM haben unbürokratisch geholfen, besonders Herr S. Krause G. Pillen, Herr N. Janzen, Herr C. Noll und Herr R. Trauner sowie Frau A. Heftberger und N. Reimer.

Herr W. Greis hat wesentlichen Anteil an der Umsetzung der z12 von iSYSTEMS zur Informatik der Universität Leipzig. Herr Greis ist Vorsitzender der European Mainframe Academy (EMA) und hat großes Interesse an der Nutzung eines Mainframes für Studenten und Interessenten weltweit. Dafür unser besonderer Dank.

Herrn M. Störchle gilt in diesem Zusammenhang besonderer Dank für seine jederzeit hilfreiche Unterstützung bei theoretischen Problemen zur System z Hard- und Software.

Herr Prof. W. Rosenstiel ist unser Partner an der Universität Tübingen; er war in vielfacher Hinsicht beteiligt. Ich möchte seine Unterstützung besonders hervorheben.

Herrn E. Breitenfeldt in Dortmund möchte ich für seine Hilfe bei der Implementierung von RACF und der Lösung anderer Probleme besonders danken. Er stand uns jederzeit mit Rat und Tat zur Verfügung.

Mein besonderer Dank gilt Karin Wenzel. Sie hat mir die nötige Motivation und Hilfe beim Verfassen tieferer Erkenntnisse gegeben.

Der Firma DN-Computing in Erstein (France, <http://www.dn-computing.com>) danke ich für die Bereitstellung der Freeware-Version des Terminal-Emulators *Quick3270*.

Dem Leiter des Leipziger Universitäts-Rechenzentrums, Herrn Dieter Lehmann, sage ich Dank für die großzügige Bereitstellung eines geeigneten Rechnerraumes für die zEC12-Maschine im Neubau der Universität Leipzig am Augustusplatz.

Ganz besonderer Dank gilt dem Verlag Walter De Gruyter Oldenbourg, insbesondere Frau A. Sperlich und Frau Skambraks, für die gute und fruchtbare Zusammenarbeit.

Herr Sebastian Höhme hat sehr wichtige und jederzeit hilfreiche Unterstützung geleistet und das gesamte Skript der 1. und auch der 2. Auflage dieses Lehrbuches kompetent und zuverlässig verwaltet. Die erfolgreichen Ergebnisse seiner Bachelor-Arbeit [SH] sind in das Buch integriert worden. Für seine Bemühungen gilt ihm Dank und Anerkennung.

Leipzig, Februar 2023
Paul Herrmann

Inhaltsverzeichnis

Vorwort — V

Danksagung — VII

1	Einführung — 1
1.1	Motivation — 1
1.2	z-System — 2
1.3	Technologische Führungsposition — 4
2	z-Hardware Architektur — 7
2.1	Einführung — 7
2.2	z/Architektur — 7
2.3	System z-Technologie — 7
2.3.1	Hardware-Technologie — 7
2.3.2	z196 (zEnterprise) — 8
2.3.2.1	zEC12 — 8
2.3.2.2	A-Frame — 9
2.3.2.3	Z-Frame — 10
2.3.2.4	Book-Konzept — 10
2.3.2.5	Multiple Chip Module (MCM) — 12
2.3.2.6	Processor Unit (PU) und Storage Control Chip (SC) — 13
2.3.2.7	PU-Chip — 14
2.3.2.8	Processor Unit (Core) — 15
2.3.2.9	PU-Nutzung — 16
2.3.2.10	Storage Control (SC) Chip — 17
2.3.2.11	Cache Level-Struktur — 18
2.3.2.12	Memory — 19
2.3.2.13	z15 — 21
2.3.2.14	Frames — 23
2.3.2.15	CPC-Drawer — 23
2.3.2.16	Die Struktur der Verbindung von CPC-Drawern — 27
2.3.2.17	Der Oszillator — 28
2.3.2.18	Die Kontrolle des Systems (system control) — 30
2.3.2.19	Die Leistungsversorgung des CPC-Drawers — 31
2.3.2.20	Einzelne Chip Module (Single Chip Modules „SCM“) — 31
2.3.2.21	Prozessor Unit — 32
2.3.3	Prozessor Unit (Core) — 33
2.3.3.1	PU-Charakterisierung (Anpassung an eigene, spezifische, Nutzung) — 35
2.3.3.2	System Controller Chip — 36

2.3.3.3	Cache Level Struktur	— 37
2.3.3.4	z16	— 37
2.3.3.5	I/O Kanal-Struktur	— 46
2.4	Überblick über die Betriebssysteme auf System z	— 48
2.4.1	z/OS	— 50
2.4.1.1	Übersicht	— 50
2.4.1.2	TSO-Subsystem (Time Sharing Option)	— 53
2.4.1.3	Stapelverarbeitung	— 57
2.4.1.4	Job Entry Subsystem (JES)	— 59
2.4.1.5	z/OS Communications Server	— 61
2.4.1.6	Übersicht	— 62
2.4.1.7	Ablauf einer Überprüfung	— 63
2.4.1.8	Unternehmensweite Sicherheit	— 66
2.4.1.8.1	Unix System Services (USS)	— 67
2.4.2	z/VM	— 73
2.4.2.1	Conversational Monitor System	— 74
2.4.2.2	Virtuelle Maschinen	— 78
2.4.2.3	Bausteine von z/VM	— 84
2.4.2.4	z/VM Control Program	— 85
3	Arbeit des Nutzers am IBM Mainframe	— 99
3.1	Nutzer Login	— 99
3.2	Verbindungsaufbau zum Mainframe	— 99
3.3	Verbindung zur LPAR des Mainframe mittels IBM Personal Communications (IBM PC)	— 100
3.4	Verbindungsaufbau mit Quick3270 (unter Windows)	— 101
3.5	Verbindungsaufbau mit x3270 (unter Linux)	— 103
3.5.1	Interactiv System Productivity Facility (ISPF)	— 105
3.6	Einloggen auf dem z/OS-Rechner	— 105
3.6.1	Benutzung der ISPF-Hilfe	— 108
3.6.2	Benutzung der Tasten F1 bis F12	— 111
3.6.2.1	Taste ISFP- Beschreibung der Funktionsweise des ISPF-Kommandos	— 112
3.6.3	Erstellen eines Datasets (Allocate)	— 116
3.6.4	Member in einem partitionierten Dataset anlegen und editieren	— 120
3.7	Arbeiten mit dem Data Set List Utility	— 122
3.7.1	Eine Liste von Datasets anzeigen	— 123
3.7.2	Die existierenden Member eines Datasets anzeigen	— 125
3.7.3	Member zur Ansicht oder zur Modifikation öffnen	— 125
3.7.4	Member kopieren, verschieben und löschen	— 126

- 3.7.4.1 Kopieren — **126**
- 3.7.4.2 VERSCHIEBEN — **129**
- 3.7.4.3 Löschen — **130**
- 3.7.5 Die Eigenschaften von Datasets anzeigen — **131**
- 3.7.6 Löschen und Komprimieren von Datasets — **133**
- 3.7.6.1 Löschen — **133**
- 3.7.6.2 Komprimieren — **134**
- 3.8 Job Control Language (JCL) — **136**
- 3.8.1 Subsysteme zSystem — **154**

- 4 Datenbanksysteme unter z/OS — 157**
- 4.1 Einteilung der IBM Datenbanksysteme — **157**
- 4.2 Das relationale Datenbanksystem DB2 — **159**
- 4.2.1 Structured Query Language — **162**
- 4.2.2 SPUFI und QMF — **166**
- 4.2.3 Beispiel: DB2 relationale Datenbank generieren und ausgelesen — **168**
- 4.2.3.1 Anlegen benötigter Datasets — **169**
- 4.2.3.2 Einloggen ins z/OS DB2 — **171**
- 4.2.3.3 Einstellen des SubSystem IDentifiers (SSIDs) — **171**
- 4.2.3.4 Überblick über die vier vorzunehmenden Definitionen — **174**
- 4.2.3.5 Definition des Speicherplatzes für Datenbanken — **175**
- 4.2.3.6 Löschen von alten Objekten, um neue anlegen zu können — **178**
- 4.2.3.7 Anlegen einer Datenbank — **181**
- 4.2.3.8 Definition von Tablespace für DB2-Tabellen — **182**
- 4.2.3.9 Erstellen der Tabelle — **184**
- 4.2.3.10 Datensätze in die Tabelle einfügen — **185**
- 4.2.3.11 Ansehen sämtlicher Datensätze der Tabelle — **186**
- 4.3 Das hierarchische Datenbanksystem IMS — **189**
- 4.3.1 Ein Überblick über den Aufbau von IMS — **190**
- 4.3.1.1 Datenbankverwaltungssystem IMS/DB — **190**
- 4.3.1.2 Transaktionsmanager IMS/TM — **193**
- 4.3.1.3 IMS Messages — **194**
- 4.3.1.4 IMS Transaktionsprogramme — **195**
- 4.3.2 Speicherung und Verwendung von Daten — **196**
- 4.3.3 Einrichten einer IMS-Datenbank, Zugriff und Transaktion — **201**
- 4.3.4 DBD-Statement — **203**
- 4.3.5 DATASET-Statement — **205**
- 4.3.6 SEGM-Statement — **205**
- 4.3.7 FIELD-Statement — **206**
- 4.3.8 PCB-Statement — **209**

4.3.9	SENSEG-Statement	— 210
4.3.10	SENFLD-Statement	— 211
4.3.11	PSBGEN-Statement	— 211
5	Hinweise zur Fehlersuche	— 229
5.1	Nutzung des SDSF	— 229
5.2	Wiederholung von Teilen des Beispiels	— 232
5.2.1	Erklärung nötiger Änderungen bzw. anderer Vorgehensweisen	— 232
5.2.2	Wiederholte Ausführung des JCL-Skripts DEFCLUST:	— 233
5.2.3	Wiederholte Ausführung des JCL-Skripts RECENTRY	— 234
5.3	Die IMS Open Database	— 235
5.4	Vorbereitungen unter z/OS	— 237
5.5	Vorbereitungen unter dem lokalen Betriebssystem	— 247
5.6	Entwicklung des Personalkostenprogramms	— 252
5.7	Anhang 1: Lösungen für die Aufgaben im Tutorial	— 266
5.7.1	Programmerweiterung um die Errechnung der Personalkosten	— 266
6	Transaktionsverarbeitung	— 269
6.1	Zwei-Tier- und Drei-Tier-Konfiguration	— 269
6.2	Transaktionen	— 272
6.2.1	Definition	— 272
6.2.2	ACID-Eigenschaften	— 273
6.3	Stored Procedures	— 275
6.3.1	Arbeitsweise	— 275
6.3.2	Implementierung von Stored Procedures	— 278
6.4	Beispiel IMS Transaktion	— 280
6.4.1	Vorbereitungen unter z/OS	— 280
6.4.2	Vorbereitungen unter dem lokalen Betriebssystem	— 282
6.4.3	Entwicklung der Transaktionsanwendung	— 284
6.4.4	Upload und Einrichtung der Transaktionsanwendung	— 295
6.4.5	Entwicklung des Clients	— 300
6.4.6	Aufruf der Transaktion durch Ausführung des Clients	— 308
6.4.7	Anhang 1: Lösungen für die Aufgaben im Tutorial	— 311
6.4.7.1	Erstellung des PSBs PRAKxxxT und Durchführung der Generierung	— 311
6.4.8	Anhang 2: Fehlersuche auf Client-Seite und auf dem Mainframe	— 313
6.5	Transaktionsmonitor	— 320
6.5.1	TP-Monitor versus Stored Procedure	— 320
6.5.2	Aufbau eines TP-Monitors	— 321
6.5.3	TP-Monitor-Funktionen	— 324

- 6.5.3.1 Backward Recovery — 324
- 6.5.3.2 Flat Transaction — 325
- 6.5.3.3 Logical Unit of Work — 326
- 6.5.3.4 Two-Phase Commit-Protokoll — 329

- 7 Customer Information Control System (CICS) — 331**
 - 7.1 Übersicht über IBM Transaktionsmonitore — 331
 - 7.1.1 CICS-Transaktions-Monitor — 331
 - 7.1.2 Transaction Processing Facility — 332
 - 7.2 CICS-Programmierung — 332
 - 7.3 CICS-Struktur — 334
 - 7.3.1 Übersicht — 334
 - 7.3.2 Aufbau einer CICS-Transaktion — 336
 - 7.3.3 Interne Struktur des CICS-Subsystems — 339
 - 7.3.4 CICS Interprocess Communication (IPC) — 341
 - 7.3.4.1 Transaction Routing — 342
 - 7.3.4.2 Function Shipping — 342
 - 7.3.4.3 Distributed Program Link — 342
 - 7.4 BMS und das 3270-Übertragungsprotokoll — 344
 - 7.4.1 Problemstellung — 344
 - 7.4.2 Das 3270-Protokoll — 345
 - 7.4.3 Basic Mapping Support — 348
 - 7.4.3.1 DFHMDF — 351
 - 7.4.3.2 DFHMDI — 352
 - 7.4.3.3 DFHMSD — 353
 - 7.5 Präsentations-Logik — 354
 - 7.5.1 Business- und Präsentations-Logik — 354
 - 7.6 CICS Internal Transactions — 354
 - 7.6.1 CICS Ressource Definition — 356
 - 7.6.1.1 CICS System Definition File — 357
 - 7.6.2 CEDA — 357
 - 7.6.2.1 Erzeugen von Groups und Lists — 357
 - 7.6.2.2 Management von Resource-Definitionen — 358
 - 7.6.2.3 Installation von Resource-Definitionen — 360
 - 7.6.2.4 CEDA DEFINE Panel — 361
 - 7.6.2.5 Attribute und Werte — 363
 - 7.6.2.6 Messages — 363
 - 7.6.2.7 CEDA DISPLAY GROUP(*) Panel — 363
 - 7.6.2.8 CEDA VIEW Panel — 364
 - 7.6.2.9 CEDA ALTER Panel — 366
 - 7.6.2.10 Weitere CEDA Kommandos — 366
 - 7.6.2.11 Entfernen der Ressource-Definitionen vom CSD File — 366

- 7.6.2.12 Verwendung von generischen Namen unter CEDA — **366**
- 7.6.2.13 Benutzung des EIB für CICS-Anwendungsprogrammierer — **367**
- 7.6.2.14 Klassifizierung der CICS-Befehle — **368**
- 7.7 CICS Interoperabilität — **368**
- 7.7.1 Zugriffsmöglichkeiten auf CICS — **370**
- 7.7.2 CICS Transaction Gateway — **371**
- 7.8 Übungsbeispiels CICS — **373**
- 7.8.1 Vorschau — **373**
- 7.8.1.1 “CEDA INSTALL GROUP(PRAKT20)” — **375**
- 7.8.2 Anwendungsbeispiel einschließlich der Aufgaben — **375**
- 7.8.2.1 Anhang — **398**

8 WebSphere MQ — 407

- 8.1 Einführung — **407**
- 8.2 Messaging und Queueing — **408**
- 8.2.1 Messages — **410**
- 8.2.2 Message-Segmentierung und -Gruppierung — **410**
- 8.2.3 Distribution List — **411**
- 8.2.4 Message-Typen — **411**
- 8.2.5 Persistente und nicht-persistente Messages — **411**
- 8.2.6 Message Descriptor — **412**
- 8.3 Queue-Manager — **413**
- 8.3.1 Queue-Manager-Cluster — **415**
- 8.3.2 Queue-Manager-Objekte — **418**
- 8.3.2.1 Queues — **418**
- 8.3.2.2 Channels — **418**
- 8.3.2.3 Prozess-Definitionen — **419**
- 8.4 Message-Queues — **419**
- 8.4.1 Queue-Arten — **419**
- 8.4.1.1 Lokale Queue — **420**
- 8.4.1.2 Cluster-Queue — **420**
- 8.4.1.3 Remote-Queue — **420**
- 8.4.1.4 Transmission-Queue — **420**
- 8.4.1.5 Dynamic Queue — **421**
- 8.4.1.6 Alias-Queue — **421**
- 8.4.1.7 Generieren eines Queue-Managers — **421**
- 8.4.2 Events — **422**
- 8.5 Manipulation von Queue-Manager-Objekten — **423**
- 8.6 Klienten und Server — **424**
- 8.7 WebSphere MQ-Architektur — **426**
- 8.8 Kommunikation zwischen Queue-Managern — **427**
- 8.8.1 Definition der Verbindung zwischen zwei Systemen — **428**

- 8.8.2 Manueller Kommunikations-Start — **429**
- 8.8.3 Automatischer Kommunikations-Start — **430**
- 8.9 Triggern von Applikationen — **432**
- 8.10 Kommunikation zwischen Klient und Server — **434**
- 8.10.1 Arbeit einer Client/Server-Verbindung — **435**
- 8.10.2 Senden eines Client-Requests — **436**
- 8.10.3 Empfang des Requests durch den Server — **437**
- 8.10.4 Sender einer Server-Antwort — **437**
- 8.10.5 Empfang der Antwort durch den Klienten — **438**
- 8.11 Das Message Queuing Interface (MQI) — **438**
- 8.12 WebSphere Code-Fragment — **440**
- 8.13 WebSphere MQ WWW-Interface-Nutzung — **442**
- 8.13.1 WebSphere MQ Internet Gateway — **442**
- 8.14 Übungsbeispiel Message Queues — **442**
- 8.14.1 Message — **443**
- 8.14.2 Queue Manager — **444**
- 8.14.2.1 Queue — **444**
- 8.14.3 Anwender-Programme — **445**
- 8.15 z/OS Connect EE — **457**
- 8.16 Sicherheitsansprüche an API's — **467**
- 8.16.1 Security Tokens — **468**
- 8.16.1.1 z/OS Connect Security — **469**
- 8.16.2 Authentifizierung — **472**
- 8.16.3 Security Betrachtung und Überblick — **478**
- 8.16.4 TLS Verschlüsselung mit z/OS Connect EE — **480**
- 8.16.5 z/OS Connect Hochverfügbarkeit — **482**
- 8.17 Übung z/OS Connect EE — **483**
- 8.17.1 Erstellung einer API mit z/OS Connect — **487**

- 9 Cloud-Computing — 495**
- 9.1 Erklärung — **495**
- 9.2 Die Servicemodelle des Cloud Computing — **496**
- 9.2.1 Mögliche Services einer Public Cloud — **496**
- 9.2.1.1 Infrastructure-as-a-Service (IaaS): Individuelle Gestaltung virtueller Computer-Cluster — **497**
- 9.2.1.2 Platform-as-a-Service (PaaS) — **497**
- 9.2.1.3 Software-as-a-Service (SaaS) — **497**

- 10 Bare Metal-Server — 499**
- 10.1 Was ist ein Bare-Metal-Server? — **499**
- 10.2 Merkmale von Bare-Metal-Servern — **500**
- 10.2.1 Vor und Nachteile des Bare-Metal-Servers — **501**

10.3	Cloud-Markt Entwicklungs-Tendenz —	502
10.3.1	Hybride und Multi-Cloud im Kommen —	503
10.3.2	Edge Computing nimmt Fahrt auf —	504
10.3.3	Roboter im Anmarsch —	504
10.3.4	Blockchain sichert Transaktionen —	505
10.3.5	Künstliche Intelligenz —	505
10.4	IBM MQ on Cloud —	508
10.4.1	Nutzeranwendung 1 —	510
10.4.2	Nutzeranwendung 2 —	516

11 Abschließende Bemerkungen — 523

Literatur — 525

Acronyme — 527

Stichwortindex — 535

1 Einführung

1.1 Motivation

Client/Server Server bestimmen momentan maßgeblich unser Internet-Computing. Dabei spielt die Cloud eine übergeordnete Rolle. Server sind in unterschiedlichen Größenordnungen verfügbar. Kleine Server werden häufig auf der Basis von Intels x86-Architektur und eines Windows-Betriebssystems realisiert. Auf den meisten größeren Servern werden Unix-Betriebssysteme eingesetzt. Dabei findet auf der Hardware-Seite neben der x86-Architektur vor allem die IBM Power-Architektur Anwendung. In den Rechenzentren großer Unternehmen, vor allem bei Banken und Versicherungen, dominieren meist *Mainframes*, basierend auf IBM z/Architekturen.

IBM ist mit großem Abstand Marktführer im Mainframe-Bereich. Schätzungsweise 85–90% des Marktes werden von IBM beherrscht [1]. Ansonsten spielen vor allem Unisys mit den ClearPath Mainframes, Fujitsu mit der BS2000/OSD-Serie, HP mit den Integrity NonStop Servern und Bull mit der Novascale-Serie eine Rolle. Historisch bedingt sind unter anderem auch noch Systeme weiterer Firmen wie Hitachi im Einsatz. Im Gegensatz zu IBM setzen Unisys, Fujitsu, HP und Bull vor allem aus Kostengründen in ihren Mainframes Intel Xeon und Itanium Prozessoren ein.

IBM bezeichnet seine Hardware als System z. Die Vorgänger dieser Rechner waren die so genannten S/390-Systeme [68]. Derzeitige System z-Implementierungen werden als zEnterprise Edition (EE) bezeichnet. Als Betriebssystem wird meist z/OS Version 2.1/2.2 eingesetzt. System z und z/OS weisen gegenüber S/390-Rechnern und OS/390 eine 64 Bit-Unterstützung auf. Die Weiterentwicklung auf eine 64 Bit-Architektur ist in einigen Bereichen wie zum Beispiel in der Speicherverwaltung und bei Datenbank-Anwendungen ein sehr wichtiger Aspekt.

Zur Vereinheitlichung werden ausschließlich die aktuellen Bezeichnungen System z für die Hardware und z/OS für das Betriebssystem verwendet [74]. In vielen Fällen ist das Erläuterte jedoch ebenso für die ältere S/390-Architektur und OS/390 gültig. z/VSE (*Virtual Storage Extended*) ist ein weiteres Betriebssystem für IBM-Mainframe-Computer. Die Entwicklung findet hauptsächlich in Deutschland bei der IBM Deutschland Research & Development GmbH statt. Es ist nicht so weit verbreitet wie z/OS, es ist aber schlanker und schneller als z/OS und wird meist auf kleineren Systemen verwendet. z/VSE ist der Nachfolger von VSE/ESA, VSE/SP, DOS/VSE, DOS/VS und DOS/360. Die Wurzeln von z/VSE liegen also in den 1960er Jahren und dem System/360 [29]. Die neueste Version von z/VSE Release 6.2 ist seit 1. Dezember auf dem Markt verfügbar. Die Schnittstelle für Batch-Prozesse ist JCL (Job Control Language). Ebenso gibt es eine Schnittstelle für z/VSE-Konsole-Operatoren. CICS ist eines der am weitesten verbreiteten Transaktions-Monitore und ist sehr verbreitet bei z/VSE-Kunden. CICS unterstützt heute auch neueste Innovationen wie z. B. Web-Services. Mit z/VSE V6.1 wurde eine neue CICS Version eingeführt. DB2 ist auch für z/VSE verfügbar.

z/VSE unterstützt ebenso wie z/OS traditionelle 3270-Terminals als Benutzerschnittstelle. Die meisten Kunden haben aber inzwischen damit begonnen, Zugriffe mittels Webbrowser zu ihren Anwendungen zu realisieren. Die TCP/IP-Implementierung ist aus historischen Gründen ein separat zu bezahlendes Produkt und wird in zwei verschiedenen Versionen von zwei Softwareherstellern angeboten. Die meisten Kunden verwenden heute TCP/IP.

1.2 z-System

Großrechnern hängt noch immer das Image veralteter Technologie an. Es wird dabei die Renaissance ignoriert, die in den vergangenen Jahren stattgefunden hat. Zahlreiche Neuentwicklungen der Firma IBM haben dazu geführt, dass besonders Rechner der z/Architektur [44] eine technologische Spitzenposition einnehmen. Dies gilt sowohl für die Hardware als auch für das z/OS-Betriebssystem und seine Subsysteme. System z-Rechner spielen nach wie vor eine wichtige Rolle als Internet-Server.

Von den weltweit größten 2000 Unternehmen setzen weit über 90 % einen System z-Rechner als ihren zentralen Server ein. Der Rest verteilt sich auf Unix-Cluster der Firmen HP, IBM und Sun, Fujitsu BS2000/OSD-Rechner sowie einige Spezialanbieter. Genauso wie im Privatbereich der PC dominiert, kann man davon ausgehen, dass ab einer gewissen Unternehmensgröße der zentrale Server als z/OS-Rechner implementiert wird.

Etwa 2/3 aller weltweit relevanten wirtschaftlichen Daten werden im *EBCDIC-Format* auf Rechnern der z/Architektur gespeichert. 60 % aller vom Web aufrufbaren, wirtschaftlich relevanten Daten befinden sich auf Mainframes [2]. Es dominieren Datenbanken wie DB2, IMS, Adabas, Oracle und VSAM.

Führende Beratungsfirmen wie Gartner, Metagroup und IDC bescheinigen den System z-Rechnern eine Spitzenposition in Bezug auf Zuverlässigkeit, Verfügbarkeit, Skalierbarkeit.

Ein-/Ausgabe-Datenraten- und Rechenleistung in kommerziellen Anwendungen sind in diesem Buch sinnvoll. Als Beispiel ist eine Analyse der Gartner Group wiedergegeben (siehe Abbildung 1.1). Die Bewertung für die einzelnen Eigenschaften erfolgte über eine Punkteskala von 1–15, wobei 1 das schlechteste und 15 das beste Ergebnis darstellt.

Kommerzielle Anwendungen auf Großrechnern sind durch ihre Zuverlässigkeit gekennzeichnet. Nicht selten besteht der Code bis zu 90 % aus (erprobten) Recovery-Routinen.

Es wird geschätzt, dass etwa 10 Millionen Mannjahre in die Entwicklung von unternehmenskritischen z/OS-Anwendungen investiert wurden. Das bedeutet eine Investition von etwa einer Billion US-Dollar in z/OS-Anwendungssoftware. Die so entstandenen Anwendungen laufen zuverlässig und problemlos. Es existieren weder die Motivation noch die finanziellen Mittel und das erforderliche Personal, um diese Anwendungen auf

	IBM S/390 OS/390	SUN Exxxx Solaris	HP 9000 HPUX	Compaq Alpha True64	Compaq Proliant NT4.0
System Performance	15	15	15	12	6
Clustering Performance	5	2	2	3	1
Single System Availability	15	9	9	9	3
Multiple Systems Availability	15	9	12	12	3
Workload Management	15	6	9	6	3
Partitioning	10	6	2	2	2
Systems Management	10	6	8	6	6
Totals	85	53	57	50	24

Abbildung 1.1: OLTP/DB Evaluation Model, Technology Comparison (Gartner Group6).

eine „moderne“ Sprachumgebung umzustellen. Im Zusammenhang mit der Jahr-2000-Umstellung bestand die Gelegenheit, die „Altlasten“ durch „moderne“ Hard- und Softwarestrukturen zu ersetzen. Hiervon wurde jedoch nur selten Gebrauch gemacht [3, 4].

Die Wartung und ständige Anpassung an sich ändernde Unternehmensbelange stellen einen erheblichen Kostenfaktor für die Unternehmen dar. Dabei stellt sich heraus, dass Wartungskosten für COBOL-Programme deutlich niedriger liegen als für C++-Programme. Die Jahr-2000-Umstellungs-Kosten pro Function Point betragen im Durchschnitt für alle Sprachen 45 \$; für Cobol-Programme lagen sie 28 \$ [4]. Es werden deshalb auch sehr viele neue Anwendungen in COBOL geschrieben. Daneben hat Java eine wachsende Bedeutung im Großrechnerbereich erlangt.

Die existierende Menge an COBOL-Programmen besteht aus etwa 180 Milliarden Code-Zeilen mit einer jährlichen Zuwachsrate von 5 Milliarden Code-Zeilen [3]. Nach [5] sind derzeit 200 Milliarden Zeilen CICS-Code in Benutzung.

Ab einer gewissen Anzahl angeschlossener Bildschirmarbeitsplätze sind für einen z/OS-Cluster die Kosten pro Benutzer deutlich geringer als bei einem Unix-Cluster. Mit wachsender Größe der Installation wächst dieser Kostenvorteil zugunsten von z/OS. Die Kosten setzen sich nicht nur aus denen für Hard- und Software zusammen. Besonders die Kosten für die Administration und die Wartung sind günstiger [6].

Bei einer Anfrage an den DV-Verantwortlichen einer deutschen Großbank, wann er seine z/OS-Anwendungen durch eine „moderne“ Technologie zu ersetzen gedenke, antwortete dieser, er glaube nicht, dass dies in den nächsten 50 Jahren geschehen werde.

1.3 Technologische Führungsposition

Die z/Architektur ist historisch-technologisch in Jahrzehnten gewachsen und hat Wurzeln, die bis in das Jahr 1964 zurückreichen. Während dieser Zeit wurde eine sehr gute Rückwärtskompatibilität bewahrt. Diese Wurzeln führten zu der weit verbreiteten Meinung, dass die System z Hard- und Software-Technologie veraltet sei und über kurz oder lang aussterben würde.

Die führende Marktposition der System z-Rechner im kommerziellen Großrechnerbereich ist vor allem auf Hardware- und Software-Technologie-Eigenschaften zurückzuführen, über die andere Rechner (noch) nicht verfügen. Auch in der Vergangenheit war System z gegenüber den Mitbewerbern technologisch immer um einiges voraus [46]. Beispiele für führende technologische Eigenschaften sind:

- Die sehr tragfähige z/Architektur, die heutigen Anforderungen gerecht wird und auf der dennoch auch Jahrzehnte alte Software noch problemlos läuft
- Fortschrittliche Hardware-Technologien, vor allem in der Ein-/Ausgabe-Architektur
- Das Parallel Sysplex-Konzept und die Skalierung mit Hilfe der Coupling Facility
- Weitreichende Partitionierungs- und Virtualisierungsmöglichkeiten
- Ein Goal-orientierter Workload-Manager
- Sehr leistungsfähige Business-Software wie der CICS-Transaktionsmonitor, der WebSphere Web Application Server und die Message Queueing Software WebSphere MQ

IBM ist seinerseits der umsatzstärkste Serverhersteller der Welt. Das US-amerikanische Unternehmen, das einst für seine PCs bekannt war, hat sich zu einem Zulieferer einiger der gefragtesten Mainframes der Welt entwickelt. Seine Premium-Serverprodukte werden häufig für Banken, Sicherheitssysteme, Casinos und andere Zweige in der Wirtschaft und Technik verwendet, die eine hohe Datenverarbeitungskapazität und Zuverlässigkeit erfordern. Bei Servern für Rechenzentren lag IBM 2019 mit einem weltweiten Anteil von 8,3% nach Angaben des Research-Anbieters IDC auf Platz drei hinter Dell und HP.

Obwohl IBM bei Chips nicht direkt mit Intel konkurriert, hat sich IBM durch sein eigenes Design von der Masse abgehoben. Konkurrenten wie Dell, HP, Lenovo Group und Inspur verwenden Chips von Intel oder Advanced Micro Devices (AMD). Danny Kuo, Analyst bei International Data Corporation (IDC) vertritt die Meinung, dass IBM allgemein als der Rolls-Royces des Mainframe-Serversegments betrachtet wird. Das spiegelt sich auch in den Kosten wider. IBM-Mainframes können zwischen 300.000 und 1 Million bzw. 2 Millionen US-Dollar pro Set abrufen, während typische HP- und Dell-Optionen, die auf Intel-Chips basieren, rund 7.000 US-Dollar kosten.

IBM hat inzwischen Interesse daran angemeldet, dass TSMC (Taiwan Semiconductor Manufacturing Company)-Chips für die nächste Server-Generation (z16) produziert, und folgt einem ähnlichen Schritt von AMD, das einen Anteil von 2% am Servermarkt

hält. AMD gab am 6. 11.2017 bekannt, dass es die 7-nm-Technologie des taiwanesischen Unternehmens für seinen neuesten Serverprozessor übernehmen wird. Auch das scheint ein Versuch zu sein, Intel einige Geschäfte abzunehmen.

In den folgenden Kapiteln werden die technologischen Merkmale der IBM z/Architektur und deren Implementierungen im Hinblick auf moderne Anwendungsbereiche behandelt und die oben erwähnten technologischen Eigenschaften näher betrachtet.

2 z-Hardware Architektur

2.1 Einführung

Die Entwicklung der System z-Familie beginnt mit dem IBM z900 Server. Ohne auf die Historie einzugehen [s. „Einführung in z/OS und OS/390“], werden die z-Hardware-Architekturen der zEC12, z15, z16 etwas detaillierter beschrieben.

Die Firma DEC ihre VAX-Architektur durch die Alpha-Architektur ab. In dem Vorwort des Alpha-Architektur-Handbuches wurde explizit darauf hingewiesen, dass man die gleichen Entwurfsprinzipien angewendet hatte, die von Amdahl, Blaauw und Brooks 1964 entwickelt wurden [7].

Die z/Architektur wird durch eine (sehr umfangreiche) Test-Suite definiert. Rechner, welche diese Test-Suite fehlerfrei abarbeiten, gelten als z-kompatibel. Alle Hersteller von z-kompatiblen Rechnern garantieren, dass ihre Maschinen in diesem Sinne kompatibel sind. Eine verbale Beschreibung der Architektureigenschaften ist in dem Dokument „Principles of Operation“ [8] enthalten. Dieses umfangreiche (1026 Seiten-) Dokument gilt als die Bibel der z/Architektur; es ist seit 1964 in immer wieder verbesserten Auflagen erschienen, in denen Erweiterungen der z/Architektur berücksichtigt wurden. Um die Präzision der Begriffe nicht zu gefährden, existiert trotz der Bedeutung der Dokumentation keine offizielle Übersetzung in andere Sprachen.

2.2 z/Architektur

Bezüglich der Basis-Eigenschaften der z-Architektur, insbesondere zu 32-Bit- und 64-Bit-Modus sowie zum Laden eines Registers, Speicherschutz sowie Ein/Ausgabe wird der interessierte Leser auf das Buch [9] verwiesen.

2.3 System z-Technologie

2.3.1 Hardware-Technologie

Nach der Implementierung der IBM z10-Hardware im Jahr 2008 wurden die Server z114 und z196 entwickelt. Die Hardware hatte einige spezifische Veränderungen gegenüber der z10; die Unterschiede waren aber nicht gravierend. Die z114 stellt eine etwas eingeschränkte Hardware-Version zur z196 dar.

2.3.2 z196 (zEnterprise)

Der z196-Server liefert eine Möglichkeit für das Upgrade zum zEC12. Die Hardware des z196 ist in der 1. Auflage des Buches „Mainframe System z Computing“ beschrieben. Der zEC12 ist von besonderem Interesse: Er ist seit über zwei Jahren in der Informatik der Universität Leipzig im Betrieb und ist für alle Informatik-Studenten und Interessenten unter einigen Bedingungen zur Nutzung zugänglich.

2.3.2.1 zEC12

Mit dem zEC12 stellt die Firma IBM einen weiteren Server zur Auswahl, der nach der bisherigen erfolgreichen Entwicklungs-Strategie der Informatik in Leipzig zur Verfügung gestellt wurde. Letzterer kann aus unterschiedlichen vorangehenden Server-Entwicklungen hervorgehen. Als Ausgangs-Projekte stehen der z10 und der z196 mit bestimmten Funktions-Modellen zur Verfügung.

Die möglichen zEC12 Upgrades zeigt die Abbildung 2.1.

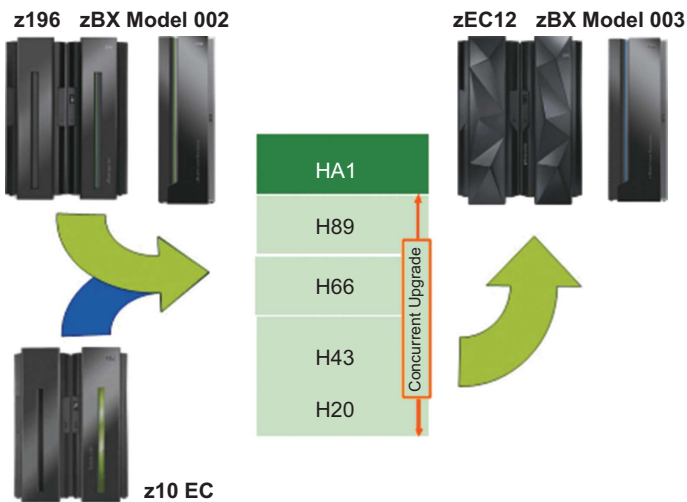


Abbildung 2.1: zEC12 Upgrades.

Der z12-Server hat zwei EIA-Frames, die beiden Frames sind miteinander verbunden und haben Plätze für einen Processor-Cage und eine Kombination der Peripheral Component Interconnect Express (PCIe), I/O-Funktionen sowie I/O-Rahmen.

Alle Books, die in den Books und Kühlkomponenten der Distributed Converter-Menge (DCAs) enthalten sind, werden im Processor-Cage des Frame A untergebracht (siehe Abbildung 2.2). Im Frontteil des Frame A sind 4 Books installiert, im Z-Frame liegt die Luftkühlung des zEC12.

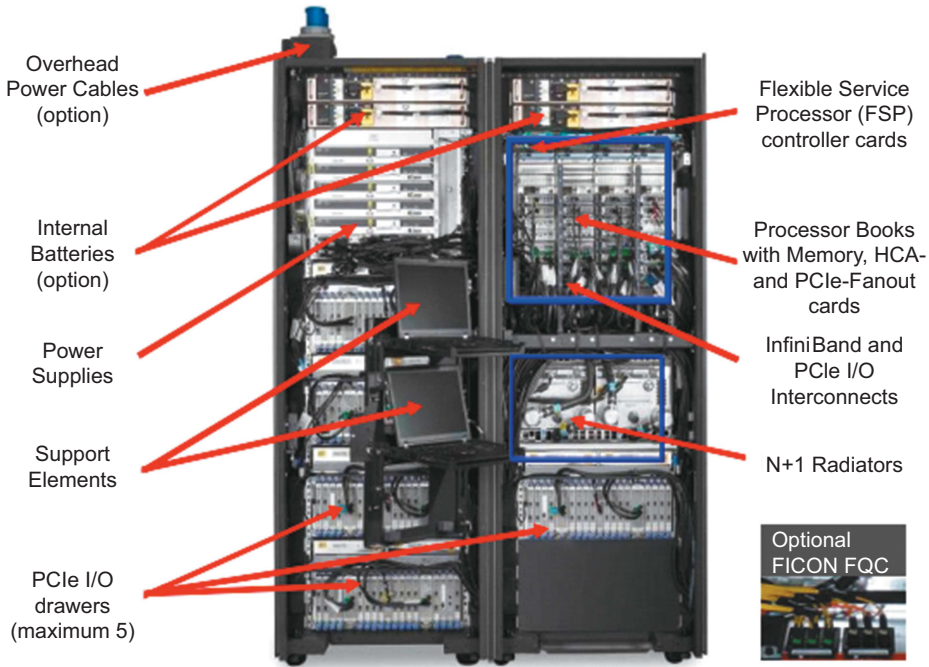


Abbildung 2.2: Frontansicht z12 mit CPC-Books, I/O-Funktionen, I/O-Cage, Luftkühlung.

2.3.2.2 A-Frame

Das A-Frame enthält folgende Haupt-Komponenten:

- 2 Interne Batterie-Funktionen (IBFs) für ständige Stromversorgung
- 2 voll-redundante Radiator-Einheiten zur Kühlung der MCMs
- Anstatt der Luftkühlung können auch Wasser-Kühlungs-Einheiten (WCUs) verwendet werden
- Processor Cage, diese enthält bis zu 4 Books, die mit dem internen Wasserkühlungs-System verbunden sind
- Abhängig von der Konfiguration können folgende I/O-Installationen benutzt werden. Eine Kombination von maximal 2 Drawers können im I/O-Cage untergebracht werden:
 - Bis zu 2 PCIe I/O-Drawers für die PCIe I/O-Funktion
 - Ein I/O-Drawer, der bis zu acht I/O-Funktionen installiert
 - Ein I/O-Cage, dieser kann 28 I/O Karten-Steckplätze realisieren
- Air Moving Devices (AMDs), redundante Kühlung der Fanouts, Speicher und DCAs

2.3.2.3 Z-Frame

Die Haupt-Komponenten des Z-Frame von oben nach unten ergeben sich wie folgt:

2 optionale IBFs

Stromversorgungs-Einheit: Die Zahl der BPAs hängt von der Konfiguration des zEC12 ab

Support Element (SE) tray enthält 2 SEs

4 Drawers können eine Kombination von maximal 2 I/O-Drawers und bis zu 4 PCIe I/O-Drawer installieren

- Der PCIe I/O Drawer wird für alle neuen Installationen verwendet, die über MES von der z196 oder z12BC Modell H13 zum zEC12 Modell H20 (Luft-gekühlt) erfolgen
- Der I/O-Drawer selbst kann nur mit MES vom z10, z196, zBC12 Modell H13 zum zEC12 Modell H20 vorgenommen werden
- Das I/O-Cage wird im Z-Frame nicht unterstützt

2.3.2.4 Book-Konzept

Der Central Processor Complex (CPC) benutzt das Packungs-Design für seine Prozessoren, dazu gehören die Books. Ein Book enthält ein Multi Chip Modul (MCM), Hauptspeicher und Verbindungen zu I/O-Drawers und ein I/O-Cage sowie weitere CPCs. Die Books befinden sich im Processor Cage des A-Frame. Der zEC12 installiert 1–4 Books. In der Abbildung 2.3 ist ein Book mit seinen Komponenten dargestellt.

Nachfolgende Komponenten enthält jedes Book:

- Ein MCM mit 6 Kern- Mikroprozessor-Chips, diese verfügen über 27 oder 30 Prozessor-Einheiten (PUs) und Storage Control Chips mit 384 MByte im Level 4 Cache
- Die Memory dual inline Memory-Module (DIMMs) sind in 30 Einschüben untergebracht und stellen 60 GByte-960 GByte physikalischen Speicherplatz zur Verfügung
- Eine Kombination von maximal 8 Host Channel Adapter (HCA) oder PCIe Fanout-Karten
- 3 DCAs liefern die Stromversorgung für die Books. Die DCAs können parallel benutzt werden
- 2 flexible Service-Processor (FSP9)-Karten kontrollieren das System

Die logische Book-Struktur ist in Abbildung 2.4 dargestellt, sie zeigt auch die Verbindungen der Komponenten einschließlich PUs im MCM.

Der Speicher ist über 3 Memory Control Einheiten (MCUs) mit dem MCM verbunden. GX0-GX7 sind die I/O Bus-Interfaces zu den HCAs. Diese haben ganze Speicher-Puffer, ein Maximum von 10 Gbits pro Bus-Richtung können übertragen werden mit Unterstützung von InfiniBand sowie PCIe. Die Prozessor Support Interfaces werden für die Kommunikation mit den FSP-Karten zur System-Steuerung verwendet. Die Fabric Book Connectivity (FBC) stellt die Punkt-zu-Punkt Verbindung zwischen den Books her.

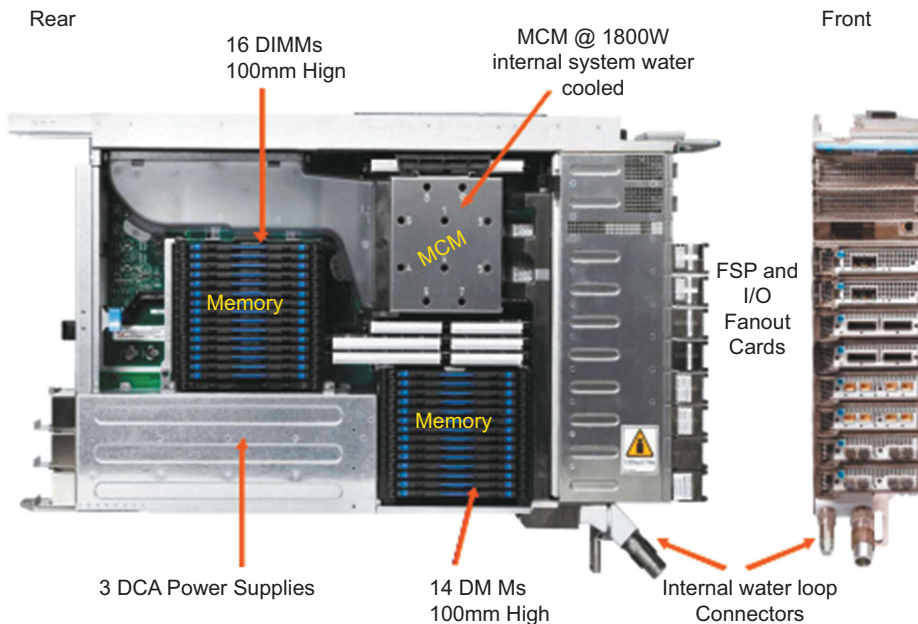


Abbildung 2.3: Book-Struktur mit Komponenten.

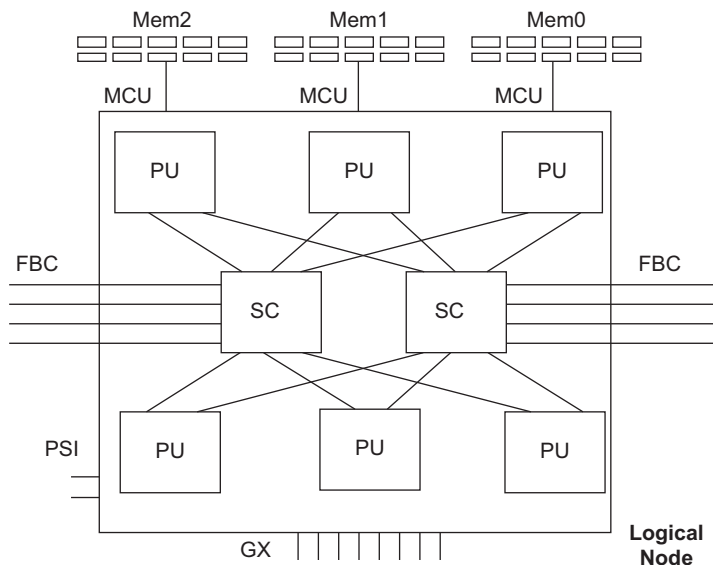


Abbildung 2.4: Logische Book-Struktur.

Die Abbildung 2.5 zeigt die Punkt-zu-Punkt Topologie der Book-Kommunikation. Jedes Book kommuniziert direkt mit allen anderen Books im CPC.

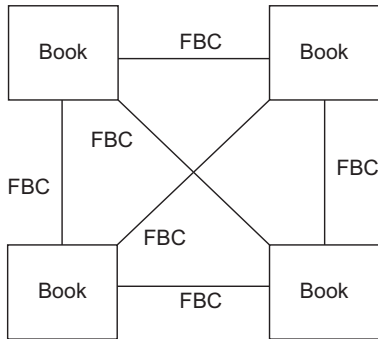


Abbildung 2.5: Kommunikation zwischen den Books.

Ein Processor Cage kann bis zu vier Books enthalten. In der Tabelle 2.1 wird die Zahl der Book-Installationen und der Plätze im Prozessor Cage dargestellt.

Tabelle 2.1: Zahl der Book-Installationen und der Position im Processor Cage.

Book	Book0	Book1	Book2	Book3
Installation order	Fourth	First	Third	Second
Position in cage (LG)	01	06	10	15

2.3.2.5 Multiple Chip Module (MCM)

Das MCM [60] besteht aus Glas-Keramik-Substrat mit 103 Schichten und einer Größe von 96 * 96 mm. Es enthält 8 Chips, die untereinander verbunden sind (siehe Abbildung 2.6). Davon sind 6 als PU-Chip und 2 als Storage Control (SC)-Chip installiert. Die Anzahl der Prozessoren im MCM liegt bei mehr als 23 Milliarden.

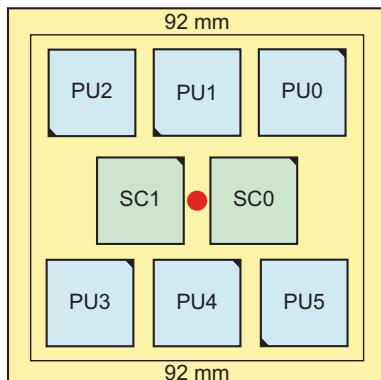


Abbildung 2.6: zEC12 Multi-Chip-Module.

Das MCM ist ein Teil des Books, das sich im mittleren Bereich des System-Boards befindet und die Verbindungen der Books untereinander realisiert.

Diese Konfiguration erlaubt ein Multi-Book-System und implementiert damit ein Symmetrisches Multiprozessor System.

2.3.2.6 Processor Unit (PU) und Storage Control Chip (SC)

Die PU- und SC-Chips im MCM verwenden die CMOS 13S-Chip-Technologie. Letztere integriert eine State-of-the-Art Mikroprocessor-Technologie und basiert auf der Kupfer-Interconnections sowie auf der Silicon-On-Insulator (SOI)-Technologie. Die Verbindungslinien haben eine Breite von 32 nm. Im MCM sind 4 elektrisch löschbare ROM (SEEPROM) vorhanden, die wieder beschrieben werden können:

- Daten werden gespeichert ohne Stromversorgung
- Nutzung derselben Technologie
- Verwendung für die Bewertung von Produktdaten im MCM und für Energie-Information

Zwei der Chips sind aktiv, die anderen beiden dienen der Redundanz.

Die MCM-Struktur mit der PU- und der SC-Verteilung zeigt Abbildung 2.7

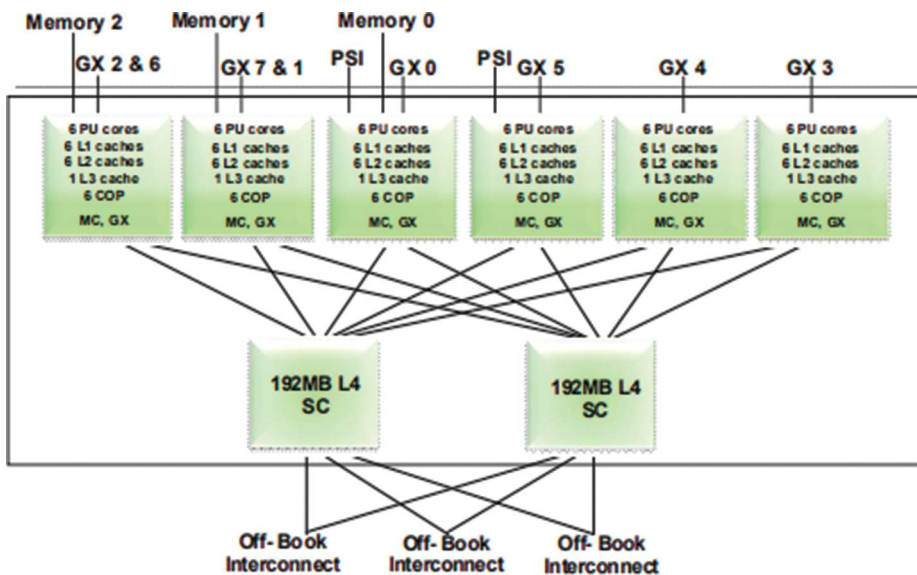


Abbildung 2.7: PU MCM-Struktur.

2.3.2.7 PU-Chip

Der zEC12 PU-Chip ist eine Weiterentwicklung des z196-Core-Designs. Er benutzt die CMOS 13S-Technologie, Out-of-Order Befehls-Verarbeitung, Higher Clock Frequenz und neu-entwickelte sowie größere Caches. Die Rechner-intensiven Workloads erreichen eine bessere Leistung durch Verbesserungen der benutzten Compiler und größere Caches.

Jeder PU-Chip verfügt über maximal 6 aktive Kerne, die mit einer Frequenz von 5,5 GHz arbeiten, das bedeutet, dass die Zykluszeit kürzer ist als 0,18 ns. Es existieren 6 PU-Chips in jedem MCM. Die PU-Chips haben 3 verschiedene Versionen: 4, 5 und 6 aktive Kerne. Für die Modelle H20, H43, H66 und H89 werden im MCM in jedem Book 27 aktive Kerne pro MCM installiert. Diese Konfiguration bedeutet, dass die Modelle H20 27 Kerne, H43 54, H66 81 und H89 108 aktive Cores integrieren. Das Modell HA1 besitzt 30 aktive Kerne pro MCM, das heißt, dass es 120 Cores im Modell HA1 existieren.

Eine schematische Darstellung der PU-Chips zeigt die Abbildung 2.8

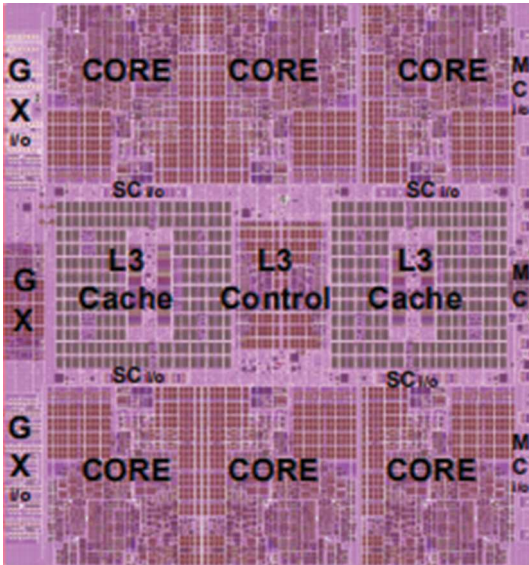


Abbildung 2.8: PU Chip-Diagramm.

Jeder PU-Chip verfügt über 2,75 Milliarden Transistoren. Alle 6 Kerne besitzen einen eigenen L1-Cache mit 64 KByte für Befehle und 96 KByte für Daten. Jeder Kern hat einen privaten L2-Cache mit 1 MByte Befehls- sowie 1 MByte Daten-Cache.

Alle 6 Kerne haben auch einen L3-Cache mit 48 MByte. Diese 48 MByte können von allen Kernen im PU-Chip benutzt werden. Er hat 192 * 512 KByte eDRAM-Makros, duale Adress- und duale Speicher-Pipe-Unterstützung, einen integrierten On-Chip Kohärenz-Manager, Cache und Cross-Bar Switch. Das L3-Directory filtert eine bestimmte

Menge des lokalen L4-Cache. Beide L3 und L4 können bis zu 160 Gbit/s Bandbreite zu jedem Kern parallel schreiben. Der L3-Cache verbindet die 6 Kerne, GX I/O-Busse und mehrere Memory-Controller (MCs) mit den Storage Control (SC)-Chips.

Ein Coprocessor (CoP) ist verantwortlich für die Daten-Kompression und die Verschlüsselungs-Funktionen in jedem Kern. Die Kompressions-Einheit ist mit dem CP integriert und unterstützt die Verschlüsselungs-Funktion (CPACF), die von der Kombination (oder Sharing) der Puffer und Interfaces profitieren. Hilfe liefert auch die High-Performance-Hardware für die Ver- und Entschlüsselung.

2.3.2.8 Processor Unit (Core)

Jede Processor-Einheit (Kern) implementiert einen Superskalar-, Out-of-Order-Processor und besitzt 6 Ausführungs-Einheiten:

- 2 Festpunkt (integer)
- 2 Load/Store
- 1 Binary Floating Point
- 1 Decimal Floating Point

Bis zu 3 Befehle pro Zyklus können dekodiert und bis zu 7 Befehle/Operationen pro Clock-Zyklus ($< 0,18$ ns) initialisiert werden. Die Befehls-Ausführung kann außerhalb der Programm-Reihenfolge erfolgen; das gleiche gilt für die Hauptspeicher-Adress-Generierung und den Hauptspeicher-Zugriff. Jeder Kern verfügt über eine spezielle Schaltung für die Anzeige der Ausführung und den Hauptspeicher-Zugriff zur Software. Nicht alle Befehle laufen direkt über die Hardware; das betrifft unterschiedliche komplexe Befehle. Einige laufen im Millicode, andere in mehreren Operationen, die dann von der Hardware übernommen werden.

Folgende Funktions-Bereiche sind in jedem Kern enthalten:

- Befehls-Sequenz-Einheit (ISU): Diese Einheit ermöglicht die Out-of-Order (OOO)-Pipeline. Sie enthält alle Register-Namen, OOO-Befehls-Abhängigkeiten und behandelt den Befehls-Ressourcen-Überblick
- Befehls-Fetching-Einheit (Vorhersage): Diese Einheit enthält den Befehls-Cache, die Branch Prediction Logik, die Befehls-Hol-Steuerung und die Puffer. Ihre relative Größe ist das Resultat des entwickelten Branch Prediction Designs
- Befehls-Decodier-Einheit (IDU): Diese Einheit wird versorgt von den IFU-Puffer und ist verantwortlich für das Parsing und Decodieren aller z/Architecture Operation Codes
- Load-Store-Einheit (LSU): Die LSU enthält den Daten-Cache. Sie übernimmt sämtliche Typen von Operanden-Zugriffen mit allen Längen, Modes und Formaten, die in der z/Architecture definiert sind
- Translation-Einheit (XU): Die XU hat einen großen Translation Lookaside Buffer (TLB) sowie die dynamische Übersetzung der logischen zu den physikalischen Adressen

- Festpunkt-Einheit (FXU): Diese behandelt die Festpunkt-Arithmetik
- Binary Floating Point-Einheit (BFU): Die BFU ist für alle Binary und Hexadecimal Floating Point und Festpunkt- Multiplikations-Operationen zuständig
- Decimal Floating Point-Einheit (DFU): Die DFU behandelt sowohl Floating Point und Decimal Festpunkt-Operationen als auch Festpunkt-Divisions-Operationen
- Recovery-Einheit (RU): Diese hat immer eine Kopie der gesamten System-Zustände mit allen Registern einschließlich Hardware-Fehler-Signalen und verwaltet die Hardware Recovery-Vorgänge
- Der integrierte CO-Processor (COP): Der CO-Prozessor ist verantwortlich für die Daten-Kompression und die Verschlüsselungs-Funktionen in allen Kernen

Das Kern-Layout ist in der Abbildung 2.9 dargestellt.

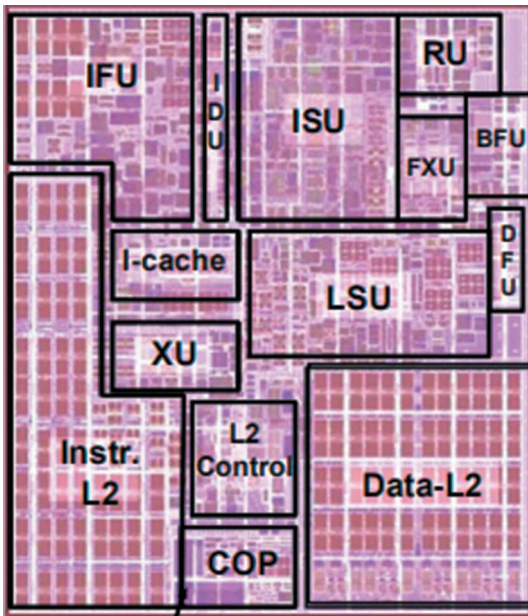


Abbildung 2.9: Core-Layout.

2.3.2.9 PU-Nutzung

Jeder MCM besitzt PUs für die Benutzung durch den Client. Bestimmte PUs können generell für die Unterstützung des Operations-Systems eingesetzt werden, wie beispielsweise für das z/OS, z/VM und Linux. Sie können auch speziell für das Workload arbeiten wie Java, XML-Service, IPCec und DB2-Workloads oder als Coupling Facility Control Code.

Die maximale Anzahl der PUs hängt vom zEC12-Modell ab. Einige PUs werden vom System als Standard System Assist Processors (SAPs) verwendet und laufen als I/O-Prozessor. Standardmäßig gibt es 2 spare PUs pro System; sie sind für fehlerhafte PUs vorgesehen. Die restlichen PUs können vom Client eingesetzt werden. Eine zEC12 Modell-Darstellung integriert eine PU-Zahl, die für die Client-Nutzung in Frage kommt (siehe Tabelle 2.2).

Tabelle 2.2: Zahl der PUs für unterschiedliche zEC12-Modelle.

Model	Books	Installed PUs	Standard SAPs	Minimum spare PUs	Maximum characterized PUs	Integrated firmware processor (IFP)
H20	1	27 (1×27)	4	2	20	1
H43	2	54 (2×27)	8	2	43	1
H66	3	81 (3×27)	12	2	66	1
H89	4	108 (4×27)	16	2	89	1
HA1	4	120 (4×30)	16	2	101	1

2.3.2.10 Storage Control (SC) Chip

Im SC-Chip sind auch CMOS 13S mit 32nm SOI-Technologie mit 15 Schichten im Substrat installiert. Das Chip hat Abmessungen von 28,4 * 23,9 mm, besitzt 3,3 Milliarden Transistoren und 2,1 Milliarden eDRAM-Zellen. Jeder MCM verfügt über 2 SC-Chips. Der L4-Cache in jedem SC-Chip hat 192 MByte Speicher, das sind gesamt 384 MByte L4-Cache anteilig pro Book.

Die schematische Darstellung des SC-Chips zeigt die Abbildung 2.10

Den größten Anteil an der Fläche besetzt der L4-Controller und der L4-Cache (192 MByte). Letzterer besteht aus 4 Anteilen von 48 MByte mit 256 * 1,5 MByte eDRAM. Der L4-Cache ist logisch in 16 -Adress-Bänke angelegt mit 24 Wege-Set. Der Controller des L4 befindet sich in einer einzelnen Pipeline mit mehreren Controllern, um 125 simultane Cache-Transaktionen pro Chip zu behandeln.

Die L3-Caches des PU-Chips kommunizieren mit dem L4-Cache durch einen zusätzlichen SC-Chip mit unidirektionalen Richtungen. Der L3-Cache ist in 2 logische Teile getrennt. Jeder Teil hat 24 MByte Speicher und besteht aus 2 Bänken mit 12 MByte. Der L3 ist ein 12 Way Set, jede Bank verfügt über 4k Sets und die Cache Line -Größe beträgt 256 Bytes.

Das Bus/Clock-Verhältnis (2:1) zwischen dem L4-Cache und dem PU wird durch den Storage Controller des SC-Chip gesteuert.

Der SC-Chip wirkt auch als L4 Cache Cross-Point Switch für L4-zu-L4 Übertragung zu 3 anderen Books mit 3 bidirektionalen Datenleitungen. Der integrierte SMP Fabric Transport und System Coherence Manager benutzt das L4-Directory, um den Filter-Verkehr der anderen Books zu regeln. Dieser Prozess benutzt ein erweitertes Sychro-

nous Fabric Protocol für die bessere Latenz der Cache-Verwaltung. Es existieren 2 Clock-Domänen, wobei die Clock-Funktion zwischen den beiden SC-Chips aufgeteilt ist.

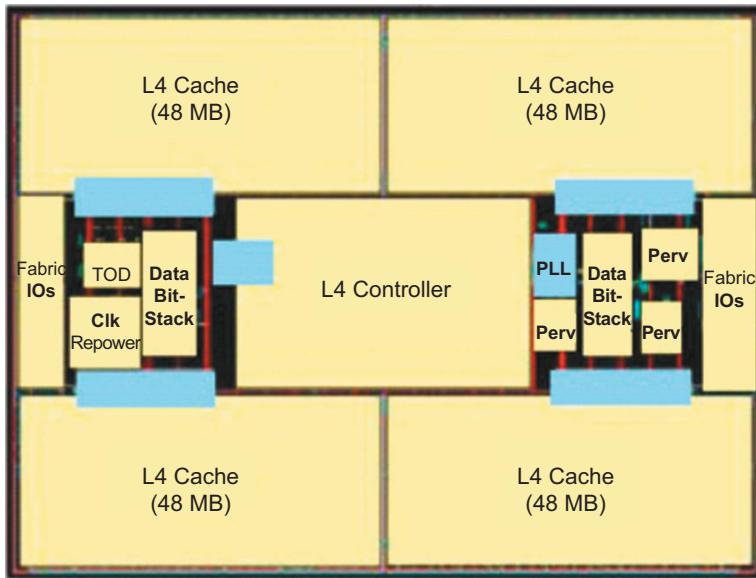


Abbildung 2.10: SC Chip-Diagramm.

2.3.2.11 Cache Level-Struktur

Der zEC12 implementiert eine 4 Cache Level-Struktur (siehe Abbildung 2.11).

Jeder Kern besitzt seinen eigenen 160 KByte L1- Cache. Dieser ist in 96 KByte Daten Cache (D-Cache) und 64 KByte Befehls-Cache (I-Cache) aufgeteilt. Der L1-Cache ist entwickelt worden als ein Store-Through-Cache. Das bedeutet, dass ältere Daten weiter für das nächste Speicher-Level gesichert werden.

Das nächste Level ist das private Cache-Level L2 in jedem Kern. Dieser Cache hat eine Größe von 2 MByte und ist aufgeteilt in 1 MByte Daten-Cache und 1 MByte Befehls-Cache. Der L2-Cache ist auch als Store-Through-Cache ausgebildet.

Der L3-Cache ist auch auf dem PU-Chip untergebracht. Er ist von 6 Kernen zu erreichen und hat 48 MByte Speicher. Er ist als Store-In-Cache integriert.

Die Cache-Level L2 und L3 sind im PU-Chip implementiert, um die Latenz zwischen dem Prozessor und dem großen Shared Cache L4 zu minimieren. Der L4 befindet sich in 2 SC-Chips. Jeder SC-Chip hat einen Speicher von 192 MByte, das sind 384 MByte L4-Cache zusammen. Letzterer kann von allen PUs im MCM benutzt werden. Der L4-Cache ist ein Store-In-Design.

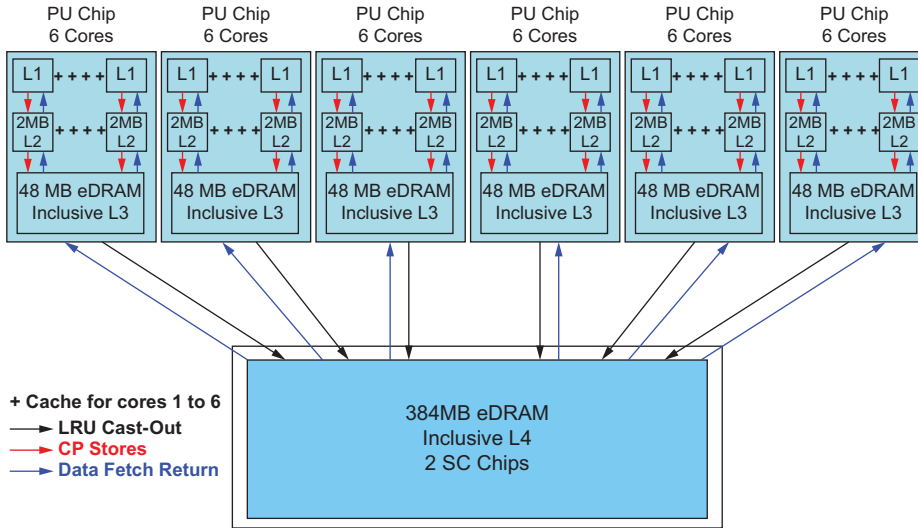


Abbildung 2.11: Cache Level-Struktur.

2.3.2.12 Memory

Der maximal physikalische Hauptspeicher ist von der Größe her relativ zur Anzahl der Books im System integriert. Jedes Book enthält bis zu 960 GByte physikalischen Speicher. Insgesamt können 3.840 Gbyte (3,75 TByte) Hauptspeicher pro System installiert werden. Ein zEC12 besitzt immer mehr Hauptspeicher als angegeben wird. Ein Teil des physikalisch installierten Hauptspeichers wird für das redundante Feld des unabhängigen Speicher-Designs (RAIM) benutzt. Diese Konfiguration erlaubt es, bis zu 768 GByte an verfügbaren Hauptspeicher pro Book und maximal 3.072 Gbyte (2 TByte) pro System zur Verfügung zu stellen. Die Tabelle 2.3 zeigt die minimale und maximale Hauptspeicher-Größe für jedes zEC12-Modell.

Tabelle 2.3: z12 Hauptspeicher-Größen.

Model	Number of books	Customer memory (GB)
H20	1	32–704
H43	2	32–1392
H66	3	32–2272
H89	4	32–3040
HA1	4	32–3040

In Tabelle 2.4 sind die Hauptspeicher-Stufen mit dem zugehörigen Hauptspeicher dargestellt.

Tabelle 2.4: Hauptspeicher-Stufen für den zEC12.

Granularity (GB)	Customer memory (GB)
32	32–256
64	320–512
96	608–896
112	1008
128	1136–1520
240	1760
256	2016–3040

Das RAIM (Redundant Array of Independent Memory subsystem) -Design erfordert einen Memory-Kanal, dieser heißt RAS (siehe Abbildung 2.12).

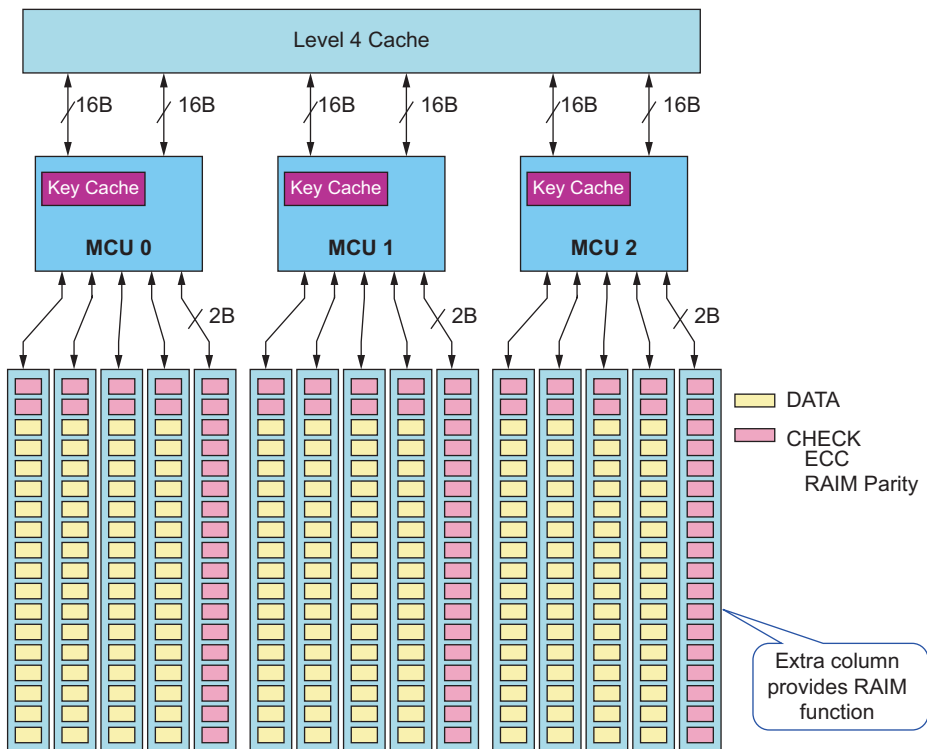


Abbildung 2.12: RAIM DIMMs.

Die Daten-Parität der vier Daten-DIMMs wird in den installierten DIMMs für den 5. Speicher-Kanal gesichert. Ein Fehler in einer Speicher-Komponente kann angezeigt und dynamisch korrigiert werden. Dieses Design übernimmt das RAS des Memory Subsystem für ein anderes Level, in dem ein Fehler-tolerantes Design notwendig ist.

Der IBM-Server zEC12 Modell 607 wurde Anfang August 2020 am Institut für Informatik der Universität Leipzig installiert und in Betrieb genommen. Der Austausch vom z114- zum z12-Server wurde ermöglicht durch den Verzicht des zEC12 von der Firma iSYSTEMS, die den Server ursprünglich von IBM erhalten hatte.

Die Vorder- und Rückansicht der beiden Frames A und Z des z12 zeigt die Abbildung 2.13

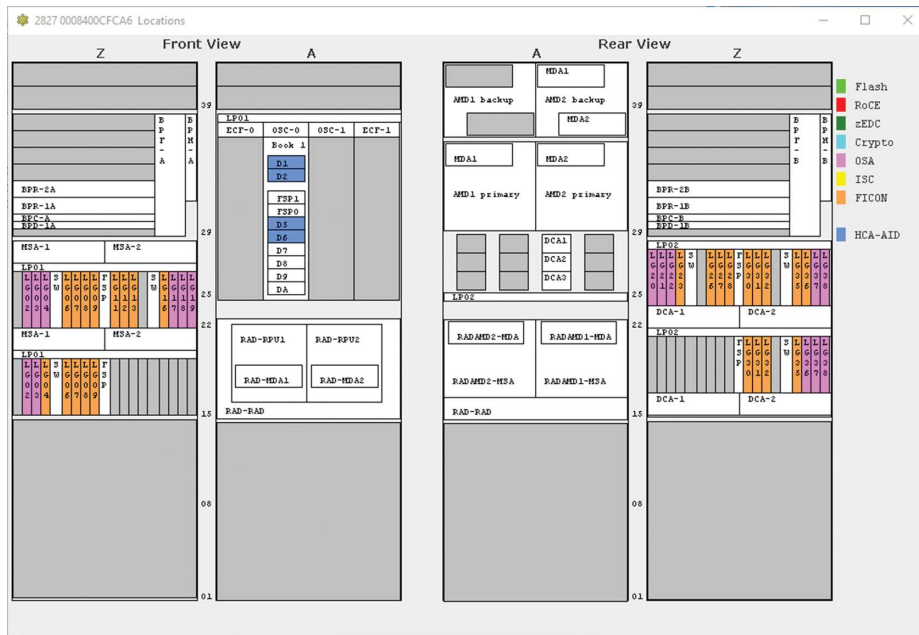


Abbildung 2.13: zEC12 Modell 607.

Die Server-Daten der zEC12 an der Informatik der Universität Leipzig sind in Abbildung 2.14 beschrieben.

2.3.2.13 z15

Die z15-Architektur implementiert eine komfortable und sichere Infrastruktur und wurde im Jahr 2020 von IBM in Betrieb genommen. Sie verfügt über Hochverfügbarkeit, ausreichende Skalierbarkeit und extreme Sicherheit für jeden Nutzer.

Aus der Abbildung 2.15 geht hervor, dass ein Upgrade von der z14 zur z15 nur mit entsprechenden Levels der z14 möglich ist. Als Beispiel für ein Upgrade soll das z15 T01-



Abbildung 2.14: zEC12 der Universität Leipzig.

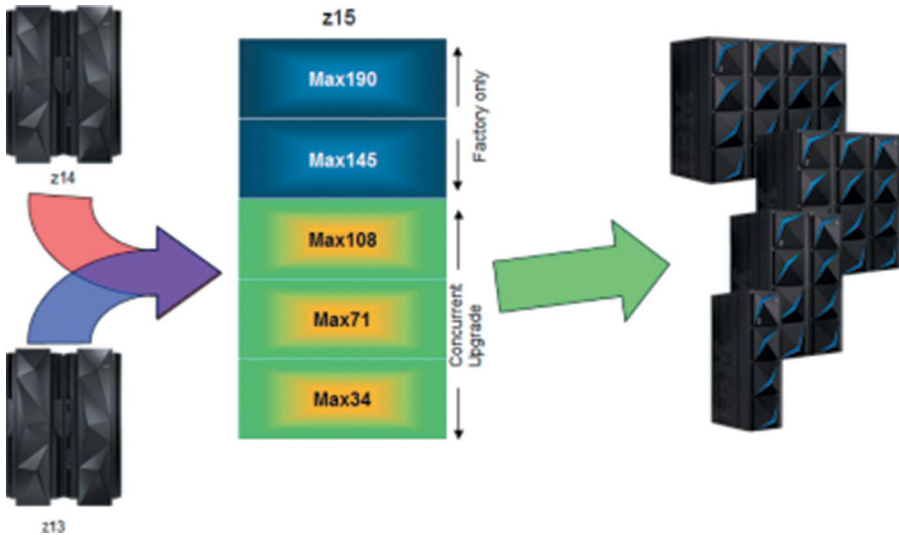


Abbildung 2.15: z15 T01 Upgrades.

Modell betrachtet werden(Driver level 36). Die gleiche Bedingung gilt von einem Upgrade von der z13 zur z15 (level 27).

Das z15 T01-System ist enthalten in einem 19-Zoll Rahmen und kann in einem, zwei, drei oder vier Frames konfiguriert werden. Die Anzahl der Frames hängt von den räumlichen Erfordernissen, der Prozessor- Anzahl und der Ein/Ausgabe-Kanäle ab. Ein Update von z14 M0x zur z15 ist nur bei einem Level von 36 möglich, dieses Upgrade ist nicht zu empfehlen. Bei dem Upgrade vom z13 (M/T 2964) zum z15 T01 gilt Ähnliches, das Driver Level muss 27 sein, das Upgrade vom z13 zum z15 T01 sollte auch nicht erfolgen.

Diese angegebenen Prozesse werden nicht unterstützt:

- Downgrades innerhalb der z15-Modelle
- Upgrade vom z13s oder z14 ZR1 zu z15 T01-Systemen

2.3.2.14 Frames

Das z15 T01-System-Modell ist in einer neuen Form entwickelt worden, das Konfigurations-Flexibilität für Kunden-Anforderungen bietet. Die z15 T01 -Architektur befindet sich in einem 19-Zoll-Rahmen und kann mit einem, zwei, drei oder vier Frames konfiguriert werden. Das hängt von den Prozessor- und I/O-Erfordernissen ab.

Für den z15 T01 existieren zwei verschiedene Stromversorgungs-Möglichkeiten: Bulk Power Assembly (BPA) und Intelligent Power Distribution Units (iPDU oder PDU). Die Frames sind mechanisch verbunden und arbeiten mit folgenden Komponenten:

- Maximal 3 CPC-Drawer im Frame A
- Bis zu 2 CPC-Drawer im Frame B (CPC-Drawer im Frame B sind bereits installiert)
- Bis zu 12 PCIe I/O führen die I/O-Funktionen und speziell unterstützende Funktionen aus
- Alle CPC-Drawer und PCIe I/O-Drawer besitzen redundante Stromversorgungen
- Für BPA-Systeme gilt: Die Bulk Power Assemblies im Frame A und B können mit Internal Battery-Teilen versorgt werden
- Für PDU-Systeme gilt: Stromversorgungs-Einheiten im Frame A, B und C (sind konfigurationsabhängig)
- Die CPC-Drawer-Kühlung erfolgt entweder mit Luft oder Wasser im Frame A und B
- Zwei Ethernet-Switches im Frame A und im Frame B (konfigurationsabhängig) bilden die CPC-Verbindung zum Ethernet
- Zwei Support Element-Einheiten befinden sich im Frame A. Diese verfügen über eine neue Service-Konsole (Frame A), die vorn oder hinten mit dem System verbunden werden kann

2.3.2.15 CPC-Drawer

Drei CPC-Drawer im Frame A und maximal zwei im Frame B sind im z15 T01 installiert. Jeder CPC-Drawer verfügt über SCMs (PU und SC), Hauptspeicher und I/O-Verbindungen. Die z15 T01-Server beinhalten die Superskalar-Mikroprozessor-Architektur seines Vorgängers aber realisiert unterschiedliche Verbesserungen im Vergleich zum z14. Jeder CPC-Drawer besitzt 4 PU (Processor Units) SCMs, die in zwei logischen CP-Cluster untergebracht sind, und einen SC (Storage Control) SCM. Im z15 T01 sind zwei Drawer-Einheiten verfügbar, die abhängen von der Anzahl der aktiven PU-Kerne. Das Modell z15 T01 Max 190 hat 43 aktive PU-Kerne/CPC-Drawer. Alle anderen z15-Modelle verfügen über 41 aktive Kerne. Das PU SCM hat 12 Kerne pro Design mit 9, 10 oder 11 aktiven Kernen. Letztere sind in CPs, IFLs, ICFs, ZIIPs, SAPs und IFPs untergebracht. Das SCM erhöht signifikant die Skalierbarkeit und bedeutet eine zusätzliche Gelegenheit der Server-Konsolidierung. Alle CPC-Drawer sind voll durch die High-Speed Communication

Links mit dem L4-Cache (im SC SCM) verbunden. Diese Konfiguration erlaubt es dem z15-Server über die PR/SM, das Memory- und Cache-kohärente SMP-System zu steuern.

Die PU-Konfiguration enthält 2 Spare PUs und eine variable Anzahl von SAPs pro System. Die SAP-Anzahl erhöht sich mit den CPC-Drawers, die auf dem Server installiert sind. Zum Beispiel sind 4 Standard-SAPs in einem installierten CPC möglich und bis zu 22 SAPs für 5 CPC-Drawer. Eine PU wird als IFP verwendet und ist nicht für die Client-Nutzung verfügbar. Die restlichen PUs können als CPs, IFL-Prozessoren, zIIPs, ICF Prozessoren und zusätzliche SAPs eingesetzt werden. Für den z15-Server arbeiten die SAPs im Simultaneous Multi-Threading (sind Standard und können nicht deaktiviert werden).

Die PU SCMs der z15 T01 werden durch eine Kühlplatte, die mit einem internen Wasser-Kreislauf verbunden, gekühlt. Bei einem Luft-gekühlten System tauschen Radiator-Einheiten (RUs) die Wärme über einem internen Wasserkreislauf mit der Luft aus. Der RU ist ein redundantes Gebläse. Der SC SCM wird Luft-gekühlt.

Der z15 T01-Server ist auch mit Wasser-Kühlung einsetzbar für verbesserte System- und Daten-Energie-Effizienz. Die Wasserkühlung ist nur für Bulk Power Assembly (BPA)-basierte Systeme möglich. Die Wasser-Kühlungs-Einheiten (WCUs) sind ausgesprochen redundant eingesetzt.

Der Server des z15 Modells T01 (Maschinentyp 8561) setzt das Design des z14 Modells fort, indem er Prozessoren in Drawer unterbringt. Ein Drawer des Typs z15 T01 CPC umfasst folgende Merkmale:

- Fünf Single Chip Module (SCMs)
- Bis hin zu 20 Memory DIMMs
- Symmetrische Konnektivität des Multiprozessors (SMP)
- Konnektoren, um PCIe + Gen3 Fanout-Cards mit PCIe + I/O-Drawer zu unterstützen oder das Koppeln des Fanouts um Links mit anderen CPCs zu verbinden

Die z15 T01 kann mit 1–5 CPC-Drawer (drei im A Frame und zwei im B Frame) konfiguriert werden. Ein CPC-Drawer und dessen Einzelteile zeigt die Abbildung 2.16

Die 5u CPC-Drawer vom z15 Modell T01 beinhaltet immer vier Prozessor-Einheiten (Processor Unit PU), einen System-Controller (SC) SCM und bis hin zu 20 Memory DIMMs.

Abhängig davon, welches Feature eine entscheidende Rolle spielt, beinhaltet das z15 T01 Modell folgende CPC-Komponenten:

- Die Nummer der CPC-Drawer, welche installiert werden, wird von dem folgenden Feature Code bestimmt:
 - FC 0655: Ein CPC-Drawer, Max 34, bis hin zu 34 charakterisierbare PUs
 - FC 0656: Zwei CPC-Drawer, Max 71, bis hin zu 71 charakterisierbare PUs
 - FC 0657: Drei CPC-Drawer, Max 108, bis hin zu 108 charakterisierbare PUs
 - FC 0658: Vier CPC-Drawer, Max 145, bis hin zu 145 charakterisierbare PUs
 - FC 0659: Fünf CPC-Drawer, Max 190, bis hin zu 190 charakterisierbare PUs

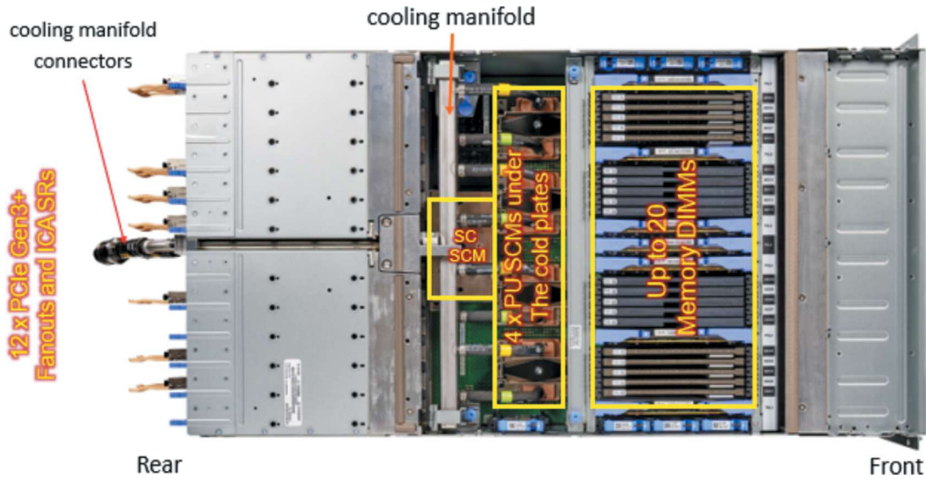


Abbildung 2.16: Komponenten der CPC-Drawer.

- Die folgenden SCMs werden benutzt:
 - PU SCM nutzt 14nm SOI-Technologie, 17 Metall-Schichten, 9.2 Milliarden Transistoren, ein Kern, welcher mit einer Frequenz von 5.2 GHz läuft: (mit 12 Core Designs pro PU CRM).
 - SC SCM nutzt 17 Metall-Schichten, 12.2 Milliarden Transistoren, 960 MB geteilten eDRAM L4 Cache.
- Memory-Plugging:
 - Vier Memory-Kontroller pro Drawer (einer pro PU SCM)
 - Jeder Memory-Kontroller unterstützt fünf DIMM Slots
 - Ein Drawer wird mit drei oder vier Memory-Kontrollern bestückt (bis hin zu 20 DIMMs)
 - Verschiedene Memory-Kontroller können unterschiedlich große DIMMs haben
- Bis hin zu 12 PCIe + Gen3 Fanout Slots, welche folgendes beinhalten können:
 - 2-Port PCIe + Gen3 I/O Fanout für PCIe + I/O Drawer (geordnet und genutzt in Paaren)
 - ICA SR und ICA SR1.1 PCIe Fanout (zwei Ports pro Funktion)
- Management-Elemente: Zwei flexible Service-Prozessoren (FSP) und Oszillatorkarten (OSC) für die Systemkontrolle und um eine Systemuhr bereitzustellen (n + 1 Redundanz).
- Die Infrastruktur der Energiezufuhr einer CPC-Drawer besteht aus folgenden Teilen:
 - Drei oder vier Power Supply Units (PSUs), welche den CPC-Drawer mit Energie versorgen. Bei Verlust einer Power Supply Unit ist trotzdem die gesamte Versorgung des Drawers gewährleistet (n + 1 Redundanz). Die Power Supply Units können gleichzeitig entfernt und ausgetauscht werden (eine nach der anderen)

- 7x 12V Distribution Point-Of-Load (POL), welche sich an Slots anschließen lassen und die Speicherbanken teilen
- 7x Voltage Regulator Modules, welche außerhalb der Memory-DIMMs angeschlossen werden
- Zwei Power Control Karten, um die fünf CPC-Ventilatoren auf der Vorderseite des Drawers zu kontrollieren
- Vier SMP-Konnektoren, welche die Kommunikation zwischen den CPC-Drawern bereitstellen (NUMA).

Die Darstellung der Vorderseite eines CPC-Drawer, welche die kühlenden Ventilatoren, FSP/OSC und Bulk-Distributionskarten (BDC) beinhaltet, zeigt die Abbildung 2.17.

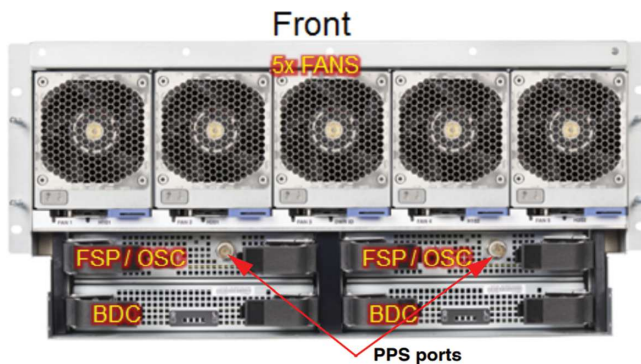


Abbildung 2.17: Frontansicht eines CPC-Drawers.

Die Abbildung der Rückseite eines voll bestückten CPC-Drawers zeigt die Abbildung 2.18. Die Doppelports I/O Fanouts und ICA SR Adapter sind für die beste Performance und

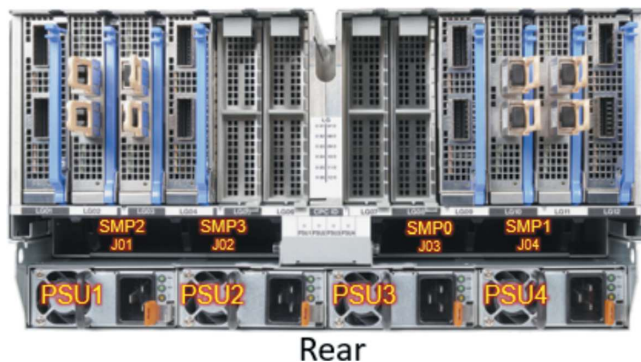


Abbildung 2.18: Rückansicht eines CPC-Drawers.

Verfügbarkeit an spezifischen Slots. Redundante Energieversorgungskomponenten und vier SMP Ports sind ebenfalls abgebildet.

Die logische Struktur des CPC-Drawers, die Verbindungen der Komponenten (inklusive der PU SCMs) und die Speicher-Kontroll-SCMs sind in der Abbildung 2.19 dargestellt.

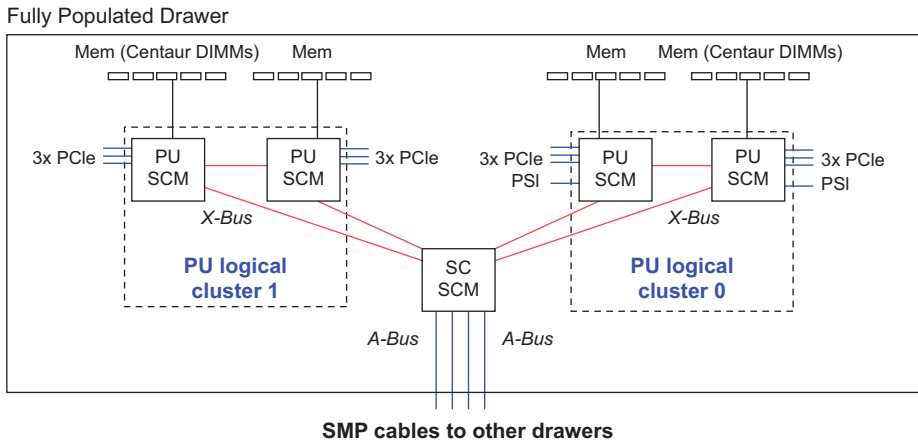


Abbildung 2.19: Logische Struktur eines CPC-Drawers.

Der Speicher ist an den SCMs über die Memory Control Units (MCUs) angeschlossen. Bis hin zu vier MCUs sind in einem CPC-Drawer verfügbar (eine pro PU SCM). Diese stellen das Interface zum DIMM Controller zur Verfügung. Ein Memory-Kontroller nutzt fünf DIMM Slots.

Die Busse sind in folgenden Konfigurationen unterteilt:

- Die PCIe I/O Busse sorgen für die Konnektivität für PCIe Fanouts und unterstützen bis hin zu 16 GBps Datenverkehr pro Anschluss
- Der X-Bus sorgt für Verbindungen zwischen SC und PU-Chips untereinander in derselben logischen Reihenfolge
- Der A-Bus sorgt für Verbindungen zwischen SC Chips (L4 Cache) in verschiedenen Drawern mit Hilfe der SMP-Kabel
- Prozessor Support Interfaces (PSIs) werden zum Kommunizieren mit FSP-Cards genutzt für die Systemkontrolle

2.3.2.16 Die Struktur der Verbindung von CPC-Drawern

Die Struktur der Punkt zu Punkt SMP-Verbindung zeigt die Abbildung 2.20. Jeder CPC-Drawer kommuniziert direkt mit allen anderen CPC-Drawern SC SCM (L4 Cache) durch Nutzung von Punkt-zu-Punkt Links (point-to-point links)

Die Reihenfolge der Installation der CPC-Drawer zeigt die Tabelle 2.5

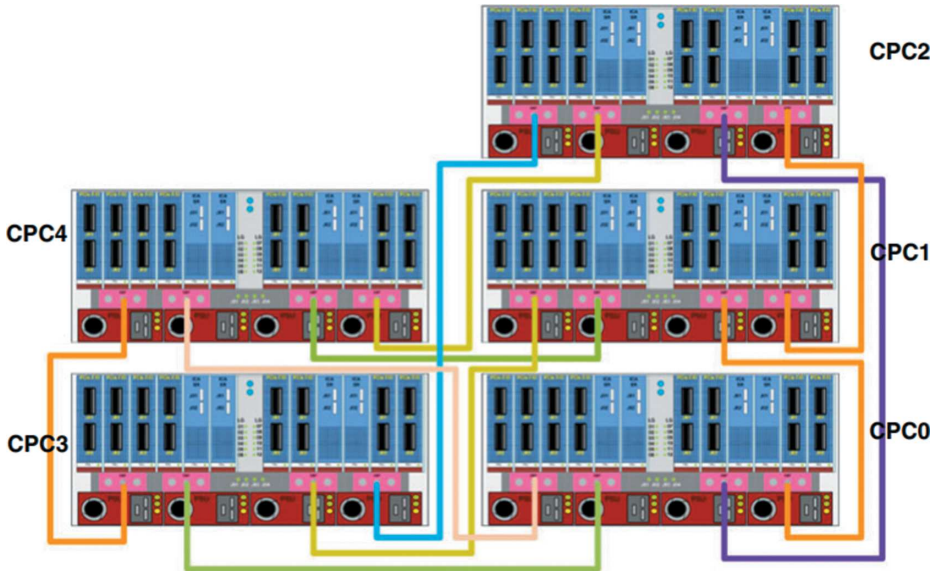


Abbildung 2.20: CPC-Drawer mit maximaler Verbindungsauslastung (Rückansicht).

Tabelle 2.5: Reihenfolge der Installation der CPC-Drawer.

CPC drawer ^a	CPC0	CPC1	CPC2	CPC3	CPC4
Installation order	First	Second	Third	Fourth	Fifth
Position in Frame A	A10B	A15B	A20B	B10B	B15B

a. CPC3 and CPC4 are factory installed only (no field MES available)

Die Installation der CPC-Drawer im A-Frame findet gleichzeitig statt. Die Addition eines CPC1 oder CPC2 Drawers ist in der Praxis ohne Unterbrechungen (ME5 Upgrade) möglich, wenn die Reserve-Features (FC 2271 oder FC 2272) in der initialen Systemreihenfolge inbegriffen sind. Die Reparatur von mehreren Drawern zur gleichen Zeit setzt ein Minimum von zwei Drawern voraus.

2.3.2.17 Der Oszillator

Das Design der Oszillator-Karte und das Signal-Distributions-Schema (signal distribution scheme) ist neu bei dem z15 T01 Modell. Die RAS-Strategie für redundantes Taktsignal und das dynamische Umschalten bleiben jedoch unverändert. Eine primäre OSC-Karte und eine Backup-Karte werden genutzt. Sollte die primäre OSC-Karte ausfallen, wird der Fehler von der zweiten Karte erkannt und die Aufgabe direkt übernommen, so dass das Taktsignal weiter zur CPC gegeben wird.

2.3.2.17.1 Manage System Time

Die z14, HMC 2.14.1 beinhaltet eine gravierende Verbesserung für den Nutzer durch Zeitkontrollmöglichkeiten mit Hilfe des neuen Manage System Time.

Die z15 (2.15.0) entfernt das Support-Element „Sysplex/System Timer“ zur Vereinfachung. Das HMC-Level 2.15.0 (Driver 41) wird dabei benötigt, um die Systemzeit für die z15 zu regulieren.

2.3.2.17.2 Network Time Protocol

Die SEs stellen das Simple Network Time Protocol (SNTP) als Client-Funktion zur Verfügung. Wenn das Server Time Protocol (STP) genutzt wird, kann die Zeit eines STP-only Coordinated Timing Network (CTN) mit der Zeit, die von einem Network Time Protocol (NTP) Server bereitgestellt wird, synchronisiert werden. Diese Konfiguration erlaubt time-of-day (TOD)-Synchronisation in einer heterogenen Plattformumgebung, auch durch die LPARs, welche auf der CPC laufen.

2.3.2.17.3 Precision Time Protocol

Neu ist außerdem, dass das Precision Time Protocol (PTP, IEEE 1588) auch als eine externe Zeitquelle für das IBM Z Server Time Protocol für ein IBM Z Coordinated Timing Network (CTN) genutzt werden kann. Die initiale Implementierung für die PTP-Konnektivität wird durch die Nutzung des IBM Z Support Element (SE) zur Verfügung gestellt.

Die Genauigkeit eines STP-only CTN wird verbessert, indem NTP oder PTP-Server mit dem PPS Output Signal als External Time Source (ETS) genutzt werden. Die Endgeräte mit einem PPS-Output sind bei verschiedenen Verkäufern verfügbar, welche Network Timing Lösungen anbieten.

Die folgenden Punkte sind zu berücksichtigen:

- Eine neue Karte, welche FSP und OSC kombiniert, wurde in der z15 implementiert. Die internen physischen Karten (FSP und OSC) sind getrennt aber verbunden als einzelne FRU. Grund dafür ist das Design der Verpackung.
- Zwei lokale, redundante Oszillatorkarten sind pro CPC-Drawer verfügbar, jede mit einem PPS-Port.
- Aktuelles Design setzt Pulse Per Second Nutzung voraus, so dass maximale Zeitgenauigkeit für NTP und PTP erreicht werden kann.
- Ein verbesserter Präzisions-Oszillator (20 PPM vs. 50 PPM bei dem vorherigen System) wird genutzt.
- Folgende PPS-Plugging Regeln gelten (siehe Abbildung 2.21)
 - Ein einzelner CPC-Drawer-Stecker rechts und links mit OSC PPS koaxiale Konnektoren
 - Multi-Drawer-Stecker schließt CPC0 Links, OSC PPS und CPC1 Links, mit Hilfe OSC PPS koaxialen Konnektoren

- Die Kabel werden von hinten nach vorn durch ein Loch innerhalb des Frames und unter einer CPC-Blende geleitet. Es wird ein rechtwinkliger Bayonet Neill-Concelman (BNC) Konnektor genutzt, welcher pulse per second Input für Synchronisation mit einer externen Zeitquelle mit PPS-Output zur Verfügung stellt.
- Die verbundenen PPS-Ports müssen in den „Manage System Time“ Menü auf der HMC zugewiesen werden.

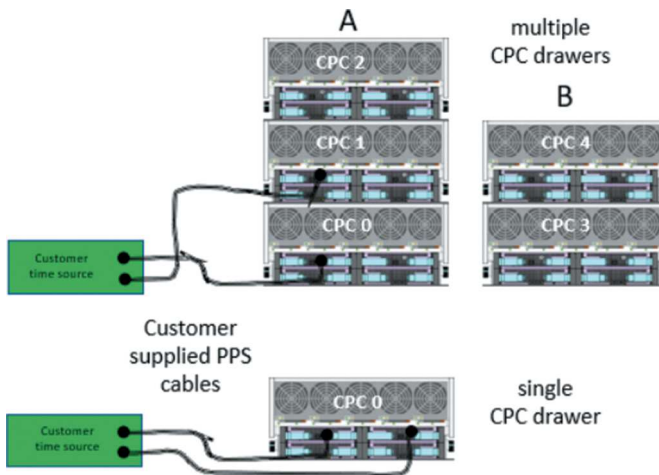


Abbildung 2.21: Empfohlene PPS-Verkabelung.

2.3.2.18 Die Kontrolle des Systems (system control)

Die Verschiedenen Systemelemente werden über FSPs kontrolliert. Ein FSP basiert auf IBM PowerPCr Mikroprozessor-Technologie.

Mit der z15 wird die FSP-Karte eines CPC-Drawer mit der Oszillator-Karte in einer Field Replaceable Unit (FRU) kombiniert. Zwei kombinierte FSP/OSC-Karten werden pro CPC-Drawer genutzt.

Auch der PCIe + I/O Drawer hat eine neue FSP. Jede FSP-Karte hat einen Ethernet Port, welcher sich über die internen Netzwerk Switches (SW1, SW2, SW3 und SW4 – wenn konfiguriert) mit den internen Ethernet LANs verbindet. Die FSPs kommunizieren mit SEs und stellen ein SubSystem Interface (SSI) bereit, um die Komponenten zu steuern.

Eine Übersicht der Systemkontrollelemente ist in der Abbildung 2.22 dargestellt.

Eine typische FSP-Aufgabe ist es, die Energiezufuhr zu kontrollieren. Ein SE schickt einen Befehl zum FSP, um die Energiezufuhr zu starten. Die FSP überprüft verschiedene Komponenten der Energieversorgung, überwacht den Erfolg der zu durchlaufenden Schritte und die resultierenden Spannungen. Abschließend wird der Status an die SE übermittelt.

Die meisten SEs sind duplexed ($n + 1$), und jedes Element hat mindestens ein FSP. Zwei interne Ethernet LANs und zwei SEs für Redundanz und die Crossover-Fähigkeit zwischen den LANs, so dass beide SEs auf beiden LANs operieren können.

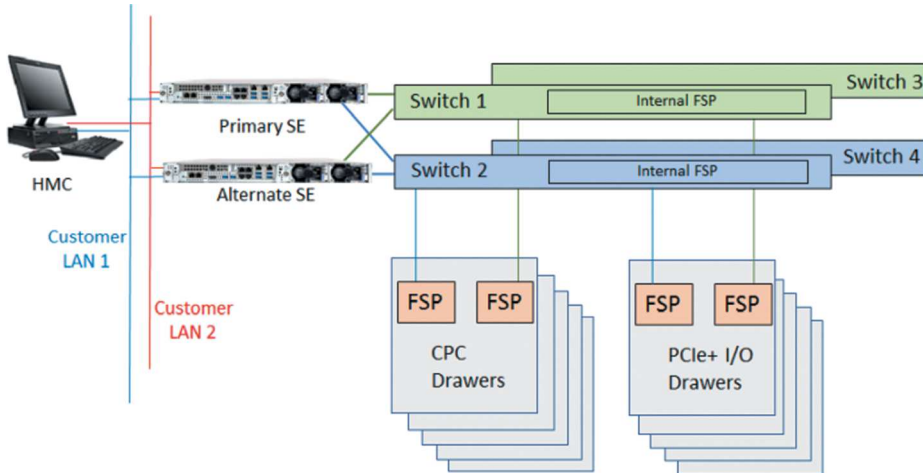


Abbildung 2.22: Konzeptioneller Überblick über die Systemkontrollelemente.

Die Hardware Management Konsolen (HMCs) und SEs sind direkt mit einem oder zwei Ethernet LANs verbunden. Eine oder mehrere HMCs können genutzt werden.

2.3.2.19 Die Leistungsversorgung des CPC-Drawers

Die Leistungsversorgung des CPC-Drawers besitzt ein neues Design. Es nutzt die Kombinationen der PSUs, POL6s, VRMs und der Bulk-Distribution Karten:

- PSUs: Liefert AC zu 12V DC bulk/standby Power und sind auf der Rückseite des CPCs installiert.
 - Die Anzahl der installierten PSUs hängt von den folgenden Konfigurationen ab:
 - Drei PSUs für die Konfigurationen, welche BPA-Versorgung nutzen
 - Vier PSUs für die Konfigurationen, welche PDU-Versorgung nutzen
- POLs: Sieben Ladepunkten der N + 2 redundante Karten sind direkt neben den Memory DIMMs installiert
- VRMs: Sieben Spannungs-Regulationsmodule (N + 2 Redundanz)
- Bulk Distributionskarte (BDC): Redundante Prozessorleistung und Kontrollkarten, welche mit dem CPC Trail Board verbunden sind. Die Kontrollfunktion wird von 12V-Standby gespeist, welche vom PSU zur Verfügung gestellt wird. Die BDC-Karte beinhaltet auch die Druck-, Temperatur- und Luftfeuchtigkeitssensoren.

2.3.2.20 Einzelne Chip Module (Single Chip Modules „SCM“)

Das SCM ist ein Metallsubstrat-Modul, welcher aus mehreren Schichten besteht. Dieses beinhaltet einen PU-Chip oder einen SC Chip. Die Größe der beiden Chips beträgt

696 mm² (25,3 mm x 27,5 mm). Jeder CPC-Drawer hat vier PU SCMs (mit je 9,2 Milliarden Transistoren) und eine SC SCM (mit 12,2 Milliarden Transistoren).

Die zwei Typen der SCMs (PU und SC) zeigt die Abbildung 2.23. Für beide SCMs befindet sich die thermale Kappe über dem Chip. Jeder PU SCM ist wassergekühlt. Der SC SCM wird wiederum mit Luft gekühlt durch CPC-Drawer-Ventilatoren.

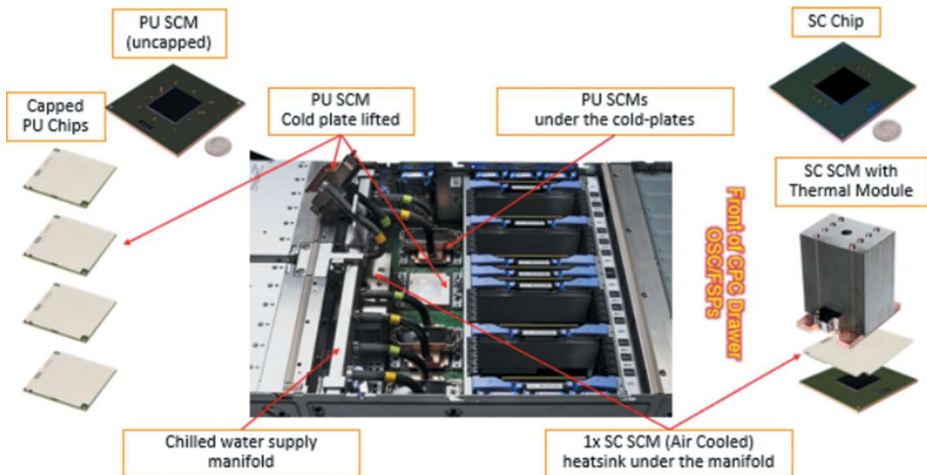


Abbildung 2.23: Single Chip Module (PU SCM und SC SCM).

PU und SC Chips nutzen den CMOS 14nm Prozess, siebzehn Metallschichten und die state-of-the-art Silicon-On-Insulator (SOI) Technologie.

Die SCMs sind an eine Buchse (Socket) angeschlossen, welche ein Teil der CPC-Drawer-Verpackung darstellt. Die Konnektivität der CPC Drawer kann durch SMP-Konnektoren und Kabel erreicht werden. Die vier inter-Drawer Verbindungen sind in jedem CPC-Drawer vorhanden. Diese Konfiguration erlaubt einem Multi-Drawer-System wie ein SMP-System zu funktionieren.

2.3.2.21 Prozessor Unit

Eine schematische Darstellung eines PU-Chips wird in Grafik 2.24 gezeigt.

Der z15 PU-Chip (installiert als ein PU SCM) ist eine Weiterentwicklung vom Design des z14 Chips. Er beinhaltet folgende Funktionen und Verbesserungen:

- CMOS 14 nm SOI-Technologie
- Zwölf Core Designs (anstatt nur zehn bei z14 Modell) mit einer erhöhten on-chip Cache Größe
- Drei PCIe Gen4 Interfaces (GX-Bus wurde weggelassen)
- DDR4 Memory Controller
- Zwei X-Busse unterstützen die Cluster-Konnektivität (PU SCM-to-PU SCM und PU SCM-to-SC SCM Konnektivität mithilfe des X Buses)

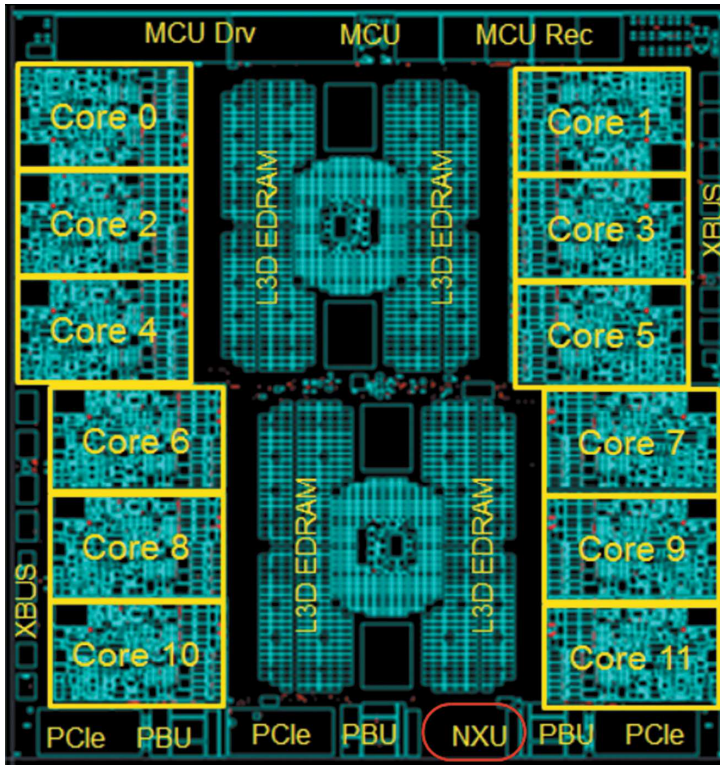


Abbildung 2.24: PU SCM Grundriss.

- Neues EDRAM Macro Design mit zweimal so großer Dichte. Im Vergleich zur z14 PU:
 - L3 wurde von 128 MB zu 256 MB pro Chip erhöht
 - L2-I wurde von 2 MB zu 4 MB je Kern erhöht
 - L2-L3 Protokoll wurde abgeändert, um die Latenzzeit zu reduzieren
- On-Chip Compression Accelerator (Nest Acceleration Unit – NXU)
- Weitere Optimierung der Nest-Core Ausführung

2.3.3 Prozessor Unit (Core)

Jede Prozessoreinheit bzw. jeder Kern ist ein superskalärer und out-of-order Prozessor, der 10 gleichzeitige Ausgaben an Ausführungseinheiten in einem einzigen CPU-Zyklus unterstützt. Abbildung 2.25 zeigt den Aufbau, der die folgenden Einheiten enthält:

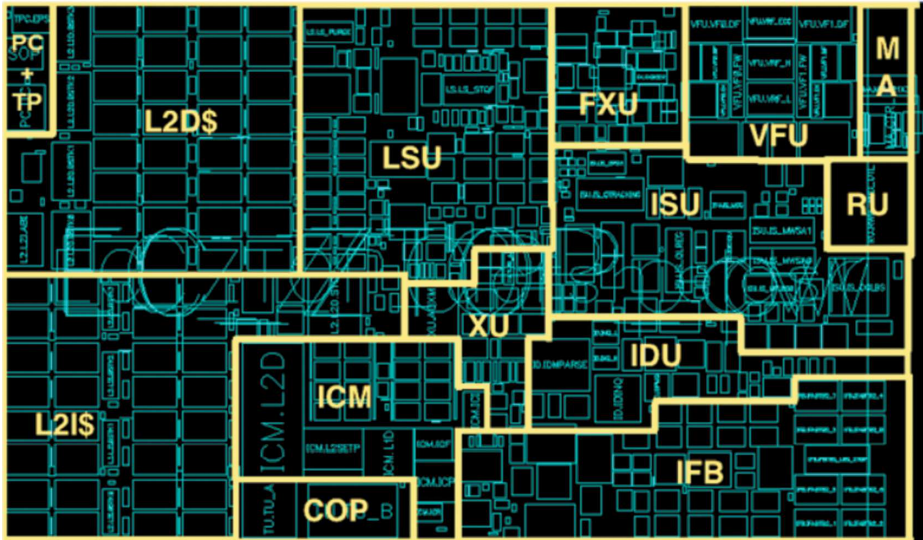


Abbildung 2.25: Kern-Aufbau.

- Fixed-point Unit (FXU): Die FXU händelt fixed-point Arithmetik.
- Load-Store Unit: Die LSU enthält den Daten-Cache. Sie ist verantwortlich für die Verarbeitung aller Arten von Operanden-Zugriffen, aller Längen, Modi und Formate, wie sie in der z/Architektur definiert.
- Instruction Fetch and Branch (IFB) und Instruction Cache and Merge (ICM). Diese beiden Untereinheiten (IFB und ICM) enthalten den Befehls-Cache, die Branch-Vorhersage-Logik, Steuerungen für das Abrufen von Befehlen und Puffer. Ihre relative Größe ist das Ergebnis der aufwendigen Branch-Vorhersage
- Instruction Decode Unit (IDU): Die IDU wird von den IFU-Puffern gespeist und ist zuständig für Parsing und Dekodierung aller z/Architektur-Operationscodes
- Translation Unit (XU): Die XU verfügt über einen großen Translation-Lookaside-Buffer (TLB) und die Dynamic Address Translation (DAT) Funktion, die die dynamische Übersetzung von logischen in physikalische Adressen verwaltet.
- Instruction Sequence Unit (ISU): Diese Einheit aktiviert die Out-of-Order-Pipeline (OoO). Sie verfolgt Registernamen, die Out-of-Order-Befehlsabhängigkeit und die Handhabung der Befehlsressourcen-Abfertigung.
- Instruction Fetching Unit (IFU) (prediction): Diese Einheiten enthalten den Befehls-Cache,
- Verzweigungsvorhersage-Logik, Befehlsabrufsteuerungen und Puffer. Ihre relative Größe ist das Ergebnis des ausgeklügelten Entwurfs der Branch-Vorhersage.
- Recovery Unit (RU): Die RU bewahrt eine Kopie des gesamten Systemzustands auf, einschließlich aller Register, sammelt Hardware-Fehlersignale und verwaltet die Hardware-Wiederherstellungsmaßnahmen

- Dedicated Co-Processor (CoP): Der spezielle Coprozessor ist für die Datenkompri- mierung und Verschlüsselungsfunktionen für jeden Kern zuständig.
- Core Pervasive Unit (PC): für Instrumentierung und Fehlersammlung.
- Modulo Arithmetic (MA) Unit: Unterstützung für Elliptische Kurven Kryptographie
 - Vector und Floating Points Units (VFU):
 - BFU: Binary Floating Point Unit
 - DFU: Decimal Floating Point Unit
 - DFx: Decimal Fixed-Point Unit
 - FPd: Floating Point Divide Unit
 - VXx: Vector Fixed-Point Unit
 - VXs: Vector String Unit
 - VXp: Vector Permute Unit
 - VXm: Vector Multiply Unit
 - L2I/L2D – Level 2 instruction/data cache

2.3.3.1 PU-Charakterisierung (Anpassung an eigene, spezifische, Nutzung)

Die PUs sind für den Kundeneinsatz charakterisiert. Die charakterisierten PUs können im Allgemeinen verwendet werden, um unterstützte Betriebssysteme wie z/OS, z/VM und Linux auf Z auszuführen. Sie können auch spezifische Workloads, wie Java, XML-Services, IPsec und einige DB2-Workloads, oder Clustering-Funktionen, wie den Cou- pling Facility Control Code (CFCC) ausführen.

Die maximale Anzahl der charakterisierbaren Bedienelemente hängt vom Funkti- onscodes des z15 CPC-Drawers ab. Einige PUs sind für die Systemnutzung charakteri- siert, andere für die Client-Workload-Nutzung.

Standardmäßig ist eine Ersatz-PU verfügbar, die die Funktion einer ausgefallenen PU übernehmen kann. Die maximale Anzahl von PUs, die für die Client-Nutzung cha- rakterisiert werden können, werden in Tabelle 2.6 aufgeführt.

Tabelle 2.6: PU-Charakterisierung.

Feature	CPs	IFLs	Unassigned IFLs	zIIPs	ICFs	IFPs	Std SAPs	Add'I SAPs	Spare PUs	
Max34	0–34	0–34		0–33	0–22	0–34	1	4	0–8	2
Max71	0–71	0–71		0–70	0–46	0–71	1	8	0–8	2
Max108	0–108	0–108		0–107	0–70	0–108	1	12	0–8	2
Max145	0–145	0–145		0–144	0–96	0–145	1	16	0–8	2
Max190	0–190	0–190		0–189	0–126	0–190	1	22	0–8	2

Die Regel für das Verhältnis von CP zu zIIP lautet, dass für jeden gekauften CP bis zu zwei zIIPs gekauft werden können. Java- und XML-Workloads können auf zIIPs ausge- führt werden.

Eine LPAR-Definition kann jedoch über das Verhältnis von 1:2 hinausgehen. Zum Beispiel können maximal vier physische zIIPs auf einem System mit zwei physischen CPs installiert werden.

Die Umwandlung einer PU von einem Typ in einen anderen Typ ist möglich durch den Dynamic Processor Unit Reassignment Prozess. Diese Konvertierungen erfolgen gleichzeitig mit dem Betriebssystem.

Hinweis: Das Hinzufügen von ICFs, IFLs, zIIPs und SAP zur z15 ändert nicht die System Kapazitätseinstellung oder das Verhältnis der Millionen Serviceeinheiten (MSU).

2.3.3.2 System Controller Chip

Der System Controller Chip (SC) benutzt die CMOS 14nm SOI Technologie, mit siebzehn Metallschichten. Er ist 25,3 x 27,5 mm groß und besitzt 12,2 Milliarden Transistoren. Jeder CPC-Drawer des Systems hat einen SC Chip.

Eine schematische Abbildung des SC Chips ist in der Abbildung 2.26 dargestellt. Die Abbildung beinhaltet folgende Punkte:

- Ein Anschlussystem (SC-SC off drawer): Kleine Änderungen, um die Verbesserung und die neue Systemtopologie abzubilden
- 960 MB geteiltes eDRAM L4 Cache
- L4 Directory ist mit eDRAM erstellt
- Neues L4 Cache Management: Kapazitätenratio von L3 zu L4 Cache steigt

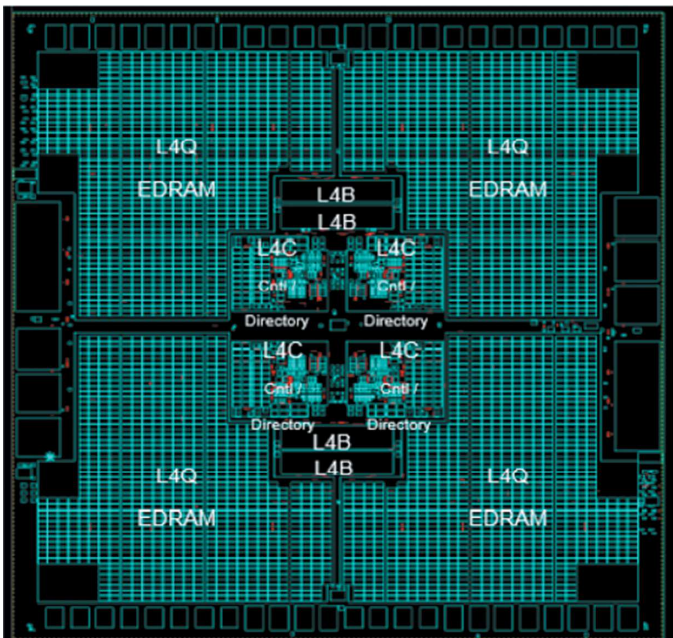


Abbildung 2.26: SC Chip Grundriss.

2.3.3.3 Cache Level Struktur

Der Cache Struktur-Vergleich zwischen CPC-Drawer bei z14 M0x und z15 T01 zeigt die Abbildung 2.27.

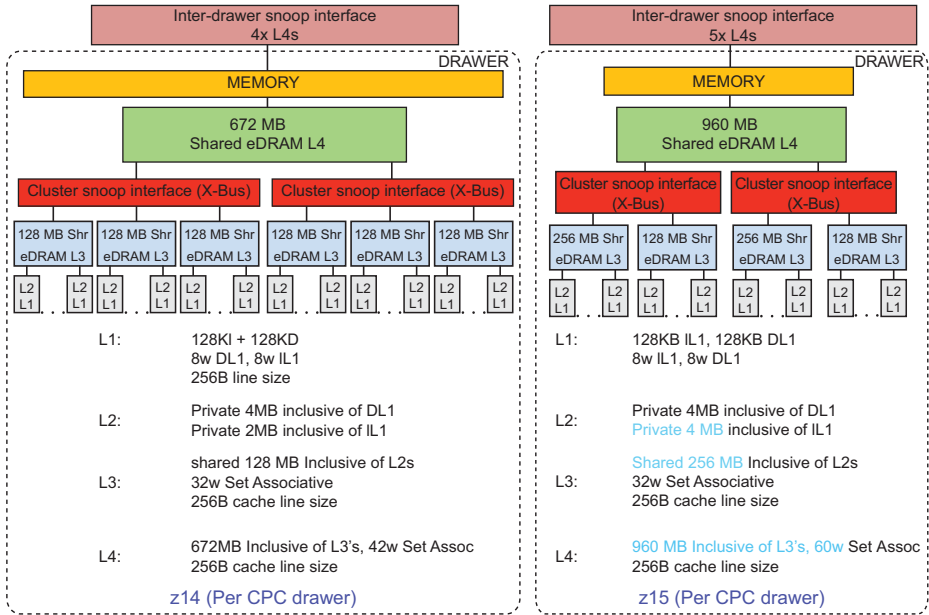


Abbildung 2.27: Vergleich der Cache-Struktur zwischen z14 und z15.

2.3.3.4 z16

Die z16-Architektur besitzt momentan ein Modell: z16 A10. Die maximale Zahl der verfügbaren Prozessoren sind in fünf Funktionsnamen repräsentiert: Max 39, Max 82, Max 125, Max 168 und Max 200 (s. Tabelle 2.7). Der Central Prozessor Complex (CPC) der IBM z16 A10 benutzt ausschließlich den IBM Telum-Prozessor.

Tabelle 2.7: IBM z16 A10 Prozessor-Konfigurationen.

Feature name	Number of CPC drawers	Feature code	Characterizable processor units	Standard SAPs	Spares
Max39	1	0667	0-39	5	2
Max82	2	0668	0-82	10	2
Max125	3	0669	0-125	15	2
Max168	4	0670	0-168	20	2
Max200	4	0671	0-200	24	2

Jeder Prozessor Chip enthält 8 Kerne. Zwei Prozessor Chips sind in einem Dual Chip-Modul (DCM) integriert. Jedes DCM kann 9–11 oder 10–15 aktive Prozessor-Einheiten (PUs) umfassen. Spare PUs, System Assistent Prozessoren (SAPs) und zwei Integrated Firmware Prozessoren (IFPs) sind in der z16-Architektur implementiert.

Ein Hardware Upgrade ist erforderlich, wenn ein oder mehrere CPC Drawers zu der benutzten Kapazität hinzugefügt werden sollen. Mehr CPC Drawers können der Architektur z16 A10 von Max 39, Max 82 und Max 125 addiert werden. Für Max 168 und Max 200 sind keine Upgrades notwendig. Für den z16 A10 Server sind für die Central Prozessoren (CPs), IFLs, ICFs, zIIPs und SAPs Upgrades verfügbar. Für die Upgrades müssen aber mehr PUs physisch installiert sein, sie müssen aber nicht vorher aktiviert sein.

Die Upgrades zur z16A10 zeigt Abbildung 2.28.

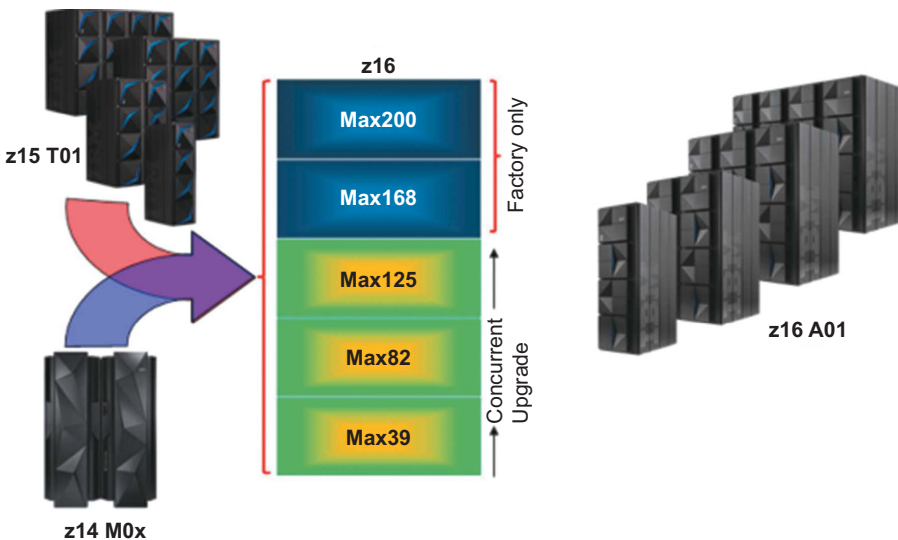


Abbildung 2.28: IBM z16 A10 Upgrades.

Die Anzahl der Frames, der CPC Drawers sowie die der I/O Drawers der Systeme z16-z14 ist in Tabelle 2.8 dokumentiert.

Die IBM z16 A10 Architektur benutzt generell 19-Zoll Frames sowie Industriestandardisierte Stromversorgung. Dieser Server kann in 1, 2, 3 und 4 Frame-Systemen konfiguriert werden. Jedes Frame beansprucht bis zu zwei Standard 24 Zoll Basisraum.

Die Zahl der Peripheral Component Interconnect Express (PCIe) I/O Drawers basiert auf der Anzahl der I/O-Funktionen, der Versorgungs-Optionen (PDU oder BPA) und der installierten CPC Drawer. Für das PDU-System können bis zu 12 PCI I/O Drawers installiert werden, letztere sind parallel installierbar. Der z16 A10 Server unterstützt alle Optionen für Glasfaser- und Kupfer-Kabel, die für Ein/Ausgabe und Stromversorgung

Tabelle 2.8: z16 A10 Konfigurations-Möglichkeiten im Vergleich zu den Systemen z15, z14.

System	Number of frames	Number of CPC drawers	Number of I/O drawers	I/O and power connections	Power options ^a	Cooling options
IBM z16	1–4	1–4	0–12 ^b	Rear only	PDU or BPA	Radiator (air) only
IBM z15	1–4	1–5	0–12 ^c	Rear only	PDU or BPA	Radiator (air) or water-cooling unit (WCU)
IBM z14	2	1–4	0–5	Front and rear	BPA	Radiator (air) or (WCU)

verwendet werden. Dadurch besteht größere Planungs-Flexibilität für das installierte System und verringert die Verwendung von zusätzlichen Kabeln im System.

Die Abbildung 2.29 zeigt die Vorderansicht einer voll-konfigurierten IBM z16 A10 mit Luftkühlung, 4 CPC Drawer und 12 PCIe I/O Drawer.

**Abbildung 2.29:** Vorderansicht des IBM Server z16 A10 (voll konfiguriert) mit Luftkühlung.

In der Abbildung 2.30 ist eine voll konfigurierte PDU-basierte z16 A10 mit 16 Drawer (I/O und CPC kombiniert) und 2 Luftkühlungs-Einheiten dargestellt.

Der IBM Konfigurator muss die Anzahl der erforderlichen Frames berechnen und sie auf den CPC und PCI I/O Drawers platzieren. Für die Bestimmung der Frame-Anzahl der z16 A10 sind folgende Faktoren wichtig:

- Zahl der CPC Drawer
- Funktionsplan für mehr CPC Drawer
- Anzahl der I/O-Funktionen (bestimmt die PCI I/O Drawer-Zahl)
- PDU- oder BPA-Versorgung

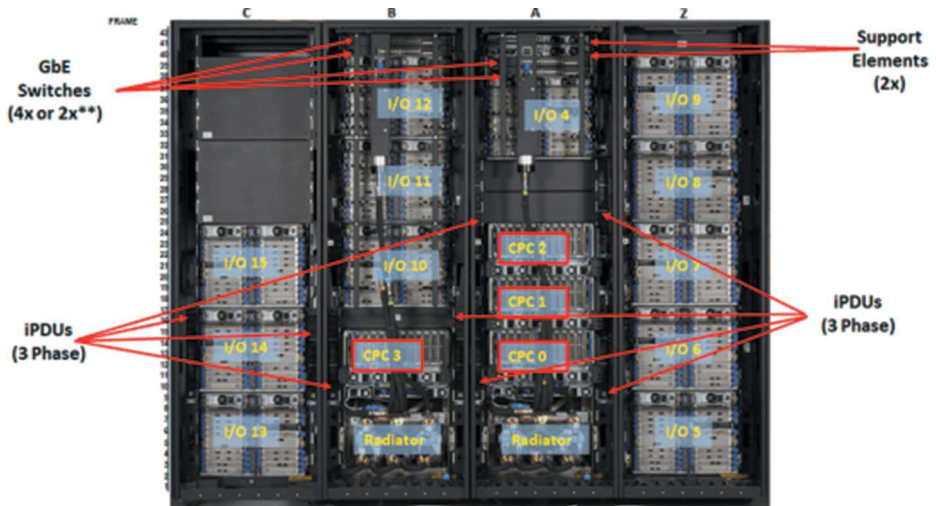


Abbildung 2.30: Voll konfigurierte z16 A10.

Die betrachtete z16 A10 kann bis zu 4 CPC-Drawer enthalten (3 im A-Frame, 1 im B-Frame). Jeder CPC-Drawer verfügt über folgende Elemente:

- DCMs:
Vier DCMs implementieren jeweils 8 Central Processor (CP) Chips und 64 physikalische Kerne/Drawer (jeder Wasser-gekühlt)
- Hauptspeicher:
Minimal 512 GByte, maximal 40 TByte pro System. Ausgeschlossen sind 256 GByte für Hardware System Area (HSA), verfügbar für den Nutzer.
- Bis zu 48 Dual Inline Speicher-Module (DIMMs). Das bedeutet, es sind 32, 64, 128, 256 oder 512 GByte in einem CPC-Drawer.
- Fanouts:
Jeder CPC-Drawer unterstützt bis zu 12 PCI Fanout Adapter, die mit den PCI I/O Drawers und Integrated Coupling Adapter Short Reach (ICA SR) Kopplungs-Links verbunden sind:
2 Port Peripheral Component Interconnect Express (PCIe) 16 GBps I/O Fanout, jeder Port unterstützt eine Domäne in den 16 Slot PCIe I/O Drawers.
- ICA SR1.1 und ICASR PCIe Fanouts mit Coupling Links (2 Links, jeder mit 8 GByteps)
- Drei der vier Power Supply Units (PSUs) sind abhängig von der Konfiguration (PDU oder BPA). Diese liefern die Stromversorgung der CPC Drawer und sind von der Rückseite zugänglich. Ein PSU weniger behindert nicht die Stromversorgung der gesamten Drawer. Die PSUs können parallel versorgt werden.
- 2 Dual-Funktions Base Managements Cards (BMCs)/Oscillator Cards (OSCs) liefern redundante Interfaces für das interne Management-Netzwerk und die Clock-Synchronisation für die IBM Z-Plattform.